

DIALOG(R)File 347:JAPIO
(c) 2001 JPO & JAPIO. All rts. reserv.

4/19/2001

06597559 **Image available**
SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

PUB. NO.: **2000-183356** [JP 2000183356 A]
PUBLISHED: June 30, 2000 (20000630)
INVENTOR(s): OTANI HISASHI
YAMAZAKI SHUNPEI
KOYAMA JUN
ARAI YASUYUKI
APPLICANT(s): SEMICONDUCTOR ENERGY LAB CO LTD
APPL. NO.: 10-361689 [JP 98361689]
FILED: December 18, 1998 (19981218)
INTL CLASS: H01L-029/786; G02F-001/136; H01L-021/336

ABSTRACT

PROBLEM TO BE SOLVED: To provide a semiconductor device, using a highly reliable TFT structure.

SOLUTION: A CMOS circuit formed on a substrate 101 is provided with a sub-gate wiring (first wiring) 102a and a main gate wiring (second gate wiring) 107a on an N-channel TFT. An LDD region 113 overlaps on the first wiring 102a and does not overlap on the second wiring 107a. When a gate voltage is applied to the first wiring, a GOLD structure is obtained and turns into LDD structure, if voltage is not applied. GOLD structure and LDD structure can separately be used according to circuit specifications.

DIALOG(R)File 352:Derwent WPI
(c) 2001 Derwent Info Ltd. All rts. reserv.

013314741 **Image available**

WPI Acc No: 2000-486678/200043

XRPX Acc No: N00-362081

Semiconductor device for liquid crystal display panels, has low concentration impurity area which overlaps and does not overlap with subgate wiring and main gate wiring respectively

Patent Assignee: SEMICONDUCTOR ENERGY LAB (SEME)

Number of Countries: 001 Number of Patents: 001

Patent Family:

| Patent No | Kind | Date | Applicat No | Kind | Date | Week |
|---------------|------|----------|-------------|------|----------|----------|
| JP 2000183356 | A | 20000630 | JP 98361689 | A | 19981218 | 200043 B |

Priority Applications (No Type Date): JP 98361689 A 19981218

Patent Details:

| Patent No | Kind | Lan Pg | Main IPC | Filing Notes |
|---------------|------|--------|--------------|--------------|
| JP 2000183356 | A | 27 | H01L-029/786 | |

Abstract (Basic): JP 2000183356 A

NOVELTY - The CMOS circuit formed on N channel type thin film transistor substrate (101) has low concentration impurity area (113) in the activated layer which overlaps with subgate wiring (102a) and does not overlap with main gate wiring (107a).

DETAILED DESCRIPTION - An INDEPENDENT CLAIM is also included for semiconductor device formation procedure.

USE - In liquid crystal display panel.

ADVANTAGE - It provides GOLD structure, gate voltage impressed to subgate wiring and LDD structure, if the voltage is not impressed on the same substrate which can be utilized depending on specifications of a circuit, hence number of complicated process is avoided.

DESCRIPTION OF DRAWING(S) - The figure shows the structure of CMOS circuit.

N channel type thin film transistor substrate (101)

Subgate wiring (102a)

Main gate wiring (107a)

Low concentration impurity area (113)

pp; 27 DwgNo 1/15

Title Terms: SEMICONDUCTOR; DEVICE; LIQUID; CRYSTAL; DISPLAY; PANEL; LOW; CONCENTRATE; IMPURE; AREA; OVERLAP; OVERLAP; WIRE; MAIN; GATE; WIRE; RESPECTIVE

Derwent Class: P81; U11; U12

International Patent Class (Main): H01L-029/786

International Patent Class (Additional): G02F-001/136; H01L-021/336

File Segment: EPI; EngPI

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-183356

(P2000-183356A)

(43)公開日 平成12年6月30日 (2000.6.30)

(51)Int.Cl.
H 01 L 29/786
G 02 F 1/136
H 01 L 21/336

識別記号
500

F I
H 01 L 29/78
G 02 F 1/136
H 01 L 29/78

6 1 3 A 2 H 0 9 2
5 0 0 5 F 1 1 0
6 1 2 B
6 1 6 A
6 1 7 N

審査請求 未請求 請求項の数27 OL (全27頁)

(21)出願番号 特願平10-361689
(22)出願日 平成10年12月18日 (1998.12.18)

(71)出願人 000153878
株式会社半導体エネルギー研究所
神奈川県厚木市長谷398番地
(72)発明者 大谷 久
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内
(72)発明者 山崎 邦平
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内
(72)発明者 小山 潤
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

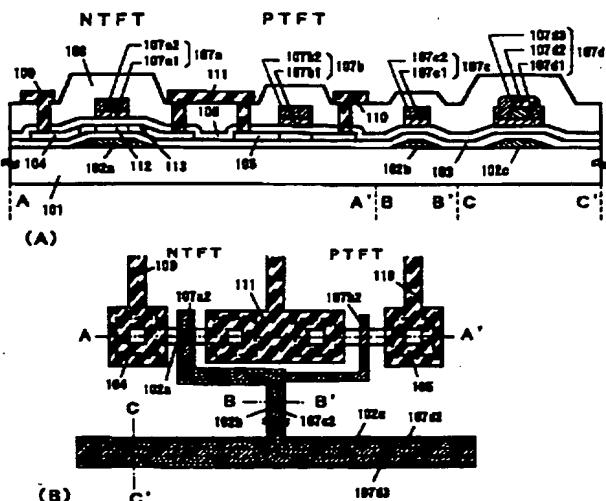
最終頁に統く

(54)【発明の名称】 半導体装置およびその作製方法

(57)【要約】

【課題】 信頼性の高いTFT構造を用いた半導体装置を提供する。

【解決手段】 基板101上に形成されたCMOS回路において、Nチャネル型TFTにサブゲート配線（第1配線）102aとメインゲート配線（第2ゲート配線）107aを設ける。LDD領域113は第1配線102aとは重なり、第2配線107aとは重ならない。このため、第1配線にゲート電圧を印加すればGOLD構造となり、印加しなければLDD構造となる。回路仕様に応じてGOLD構造とLDD構造とを使い分けることができる。



【特許請求の範囲】

【請求項1】Nチャネル型TFTとPチャネル型TFTとで形成されたCMOS回路を含む半導体装置において、

前記CMOS回路は前記Nチャネル型TFTのみ、絶縁層を介して第1配線および第2配線によって活性層が挟まれた構造を有し、前記活性層はチャネル形成領域に接して低濃度不純物領域を含んでおり、前記低濃度不純物領域は前記第1配線に重なり、且つ、前記第2配線に重ならないように形成されていることを特徴とする半導体装置。

【請求項2】請求項1において、前記第1配線と前記第2配線とは電気的に接続されていることを特徴とする半導体装置。

【請求項3】Nチャネル型TFTとPチャネル型TFTとで形成されたCMOS回路を含む半導体装置において、

前記CMOS回路は前記Nチャネル型TFTのみ、絶縁層を介して第1配線および第2配線によって活性層が挟まれた構造を有し、前記第2配線は、第1導電層と第2導電層との積層構造からなる部分と、前記第1導電層と前記第2導電層とで第3導電層を包み込んだ構造からなる部分とを有することを特徴とする半導体装置。

【請求項4】請求項3において、前記第3導電層は、第1導電層または前記第2導電層よりも抵抗値が低いことを特徴とする半導体装置。

【請求項5】請求項3において、前記第1導電層または前記第2導電層は、タンタル(Ta)、チタン(Ti)、タンゲステン(W)、モリブデン(Mo)、またはシリコン(Si)から選ばれた元素を主成分とする導電膜、或いは前記元素を組み合わせた合金膜やシリサイド膜であることを特徴とする半導体装置。

【請求項6】請求項3において、前記第3導電層は、アルミニウムまたは銅を主成分とする膜であることを特徴とする半導体装置。

【請求項7】Nチャネル型TFTで形成された画素TFTと保持容量とを有する画素マトリクス回路を含む半導体装置において、

前記画素TFTは絶縁層を介して第1配線および第2配線によって活性層が挟まれた構造を有し、前記活性層はチャネル形成領域に接して低濃度不純物領域を含んでおり、前記低濃度不純物領域は前記第1配線に重なり、且つ、前記第2配線に重ならないように形成されていることを特徴とする半導体装置。

【請求項8】請求項7において、前記第1配線は接地電位またはソース電源電位に保持されることを特徴とする半導体装置。

【請求項9】請求項7において、前記第1配線はフローティング電位に保持されることを特徴とする半導体装置。

【請求項10】Nチャネル型TFTで形成された画素TFTを有する画素マトリクス回路を含む半導体装置において、

前記画素TFTは絶縁層を介して第1配線および第2配線によって活性層が挟まれた構造を有し、前記第2配線は、第1導電層と第2導電層との積層構造からなる部分と、前記第1導電層と前記第2導電層とで第3導電層を包み込んだ構造からなる部分とを有することを特徴とする半導体装置。

【請求項11】請求項10において、前記第3導電層は、前記第1導電層または前記第2導電層よりも抵抗値が低いことを特徴とする半導体装置。

【請求項12】請求項10において、前記第1導電層または前記第2導電層は、タンタル(Ta)、チタン(Ti)、タンゲステン(W)、モリブデン(Mo)、またはシリコン(Si)から選ばれた元素を主成分とする導電膜、或いは前記元素を組み合わせた合金膜やシリサイド膜であることを特徴とする半導体装置。

【請求項13】請求項10において、前記第3導電層は、アルミニウムまたは銅を主成分とする導電膜であることを特徴とする半導体装置。

【請求項14】同一基板上に形成された画素マトリクス回路とドライバー回路とを有する半導体装置において、前記画素マトリクス回路に含まれる画素TFTと前記ドライバー回路に含まれるNチャネル型TFTとは、絶縁層を介して第1配線および第2配線によって活性層が挟まれた構造を有し、

前記画素TFTに接続された第1配線は固定電位またはフローティング電位に保持され、前記ドライバー回路に含まれるNチャネル型TFTに接続された第1配線は、該ドライバー回路に含まれるNチャネル型TFTに接続された第2配線と同電位に保持されることを特徴とする半導体装置。

【請求項15】請求項14において、前記活性層はチャネル形成領域に接して低濃度不純物領域を含んでおり、前記低濃度不純物領域は前記第1配線に重なり、且つ、前記第2配線に重ならないように形成されていることを特徴とする半導体装置。

【請求項16】請求項14において、前記第2配線は、第1導電層と第2導電層との積層構造からなる部分と、前記第1導電層と前記第2導電層とで第3導電層を包み込んだ構造からなる部分とを有することを特徴とする半導体装置。

【請求項17】請求項14において、前記第3導電層は、前記第1導電層または前記第2導電層よりも抵抗値が低いことを特徴とする半導体装置。

【請求項18】請求項14において、前記第1導電層ま

たは前記第2導電層は、タンタル(Ta)、チタン(Ti)、タングステン(W)、モリブデン(Mo)、またはシリコン(Si)から選ばれた元素を主成分とする導電膜、或いは前記元素を組み合わせた合金膜やシリサイド膜であることを特徴とする半導体装置。

【請求項19】請求項14において、前記第3導電層は、アルミニウムまたは銅を主成分とする導電膜であることを特徴とする半導体装置。

【請求項20】請求項1乃至請求項19に記載された半導体装置とは、アクティブマトリクス型液晶ディスプレイまたはアクティブマトリクス型ELディスプレイであることを特徴とする半導体装置。

【請求項21】請求項1乃至請求項19に記載された半導体装置とは、ビデオカメラ、デジタルカメラ、プロジェクター、プロジェクションTV、ゴーグル型ディスプレイ、カーナビゲーション、パーソナルコンピュータ、携帯情報端末であることを特徴とする半導体装置。

【請求項22】Nチャネル型TFTとPチャネル型TFTとで形成されたCMOS回路を含む半導体装置の作製方法において、

基板上に第1配線を形成する工程と、

前記第1配線の上に第1絶縁層を形成する工程と、

前記第1絶縁層の上に活性層を前記Nチャネル型TFTの活性層および前記Pチャネル型TFTの活性層を形成する工程と、

前記Nチャネル型TFTの活性層および前記Pチャネル型TFTの活性層を覆って第2絶縁層を形成する工程と、

前記第2絶縁層の上に第2配線を形成する工程と、を有し、

前記第1配線は前記Nチャネル型TFTの活性層のみと交差するように形成されることを特徴とする半導体装置の作製方法。

【請求項23】請求項22において、前記第2配線は、第1導電層と第2導電層との積層構造からなる部分と、前記第1導電層と前記第2導電層とで第3導電層を包み込んだ構造からなる部分とが形成されることを特徴とする半導体装置の作製方法。

【請求項24】Nチャネル型TFTとPチャネル型TFTとで形成されたCMOS回路を含む半導体装置の作製方法において、

基板上に第1配線を形成する工程と、

前記第1配線の上に第1絶縁層を形成する工程と、

前記第1絶縁層の上に活性層を前記Nチャネル型TFTの活性層および前記Pチャネル型TFTの活性層を形成する工程と、

前記Nチャネル型TFTの活性層および前記Pチャネル型TFTの活性層を覆って第2絶縁層を形成する工程と、

前記第2絶縁層の上に第1導電層を形成する工程と、

前記第1導電層の上にパターン加工された第3導電層を形成する工程と、

前記第3導電層を覆って第2導電層を形成する工程と、を有し、

前記第1配線は前記Nチャネル型TFTの活性層のみと交差するように形成されることを特徴とする半導体装置の作製方法。

【請求項25】請求項23または請求項24において、前記第3導電層として、前記第1導電層または前記第2導電層よりも抵抗値が低い材料を用いることを特徴とする半導体装置の作製方法。

【請求項26】請求項23または請求項24において、前記第1導電層または前記第2導電層は、タンタル(Ta)、チタン(Ti)、タングステン(W)、モリブデン(Mo)、またはシリコン(Si)から選ばれた元素を主成分とする導電膜、或いは前記元素を組み合わせた合金膜やシリサイド膜で形成されることを特徴とする半導体装置の作製方法。

【請求項27】請求項23または請求項24において、前記第3導電層は、アルミニウムまたは銅を主成分とする導電膜で形成されることを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本願発明は薄膜トランジスタ(以下、TFTという)で構成された回路を有する半導体装置に関する。例えば、液晶表示パネルに代表される電気光学装置およびその様な電気光学装置を部品として搭載した電子機器の構成に関する。

【0002】なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、半導体回路および電子機器も半導体装置である。

【0003】

【従来の技術】薄膜トランジスタ(以下、TFTといふ)は透明なガラス基板に形成することができるので、アクティブマトリクス型液晶ディスプレイ(以下、AM-LCDといふ)への応用開発が積極的に進められてきた。結晶質半導体膜(代表的にはポリシリコン膜)を利用したTFTは高移動度が得られるので、同一基板上に機能回路を集積させて高精細な画像表示を実現することが可能とされている。

【0004】アクティブマトリクス型液晶表示装置は、画面の解像度が高精細になるに従い、画素だけでも100万個のTFTが必要になってくる。さらに機能回路を付加すると、それ以上の数のTFTが必要になり、液晶表示装置を安定に動作させるためには、個々のTFTの信頼性を確保して安定に動作させる必要があった。

【0005】ところが、TFTは必ずしも信頼性の面で単結晶半導体基板に作製されるMOSFETと同等では

ないとされている。MOSFETでも問題となっていたように、TFTにおいても長期にわたって動作させると移動度やオン電流が低下するといった現象が起こる。このような現象がおこる原因の一つは、チャネル電界の増大に伴って発生するホットキャリアによる特性の劣化である。

【0006】一方、MOSFETでは、信頼性を向上させる技術として、LDD (Lightly Doped Drain) 構造が良く知られている。この構造は、ソース・ドレイン領域の内側に、さらに低濃度の不純物領域を設けたものであり、この低濃度不純物領域をLDD領域と呼んでいる。この構造はTFTでも採用されている。

【0007】さらにMOSFETでは、ゲート絶縁膜を介して、LDD領域をゲート電極とある程度オーバーラップさせる（重なせる）構造が知られている。この構造を形成する方法は幾つかあるが、例えば、GOLD (Gate-drain Overlapped LDD) や、LATID (Large-tilt-angle implanted drain) と呼ばれる構造が知られている。このような構造とすることで、ホットキャリア耐性を高めることができた。

【0008】また、こういったMOSFETの構造をTFTに応用しようという試みもなされている。しかしながら、GOLD構造（本明細書中ではゲート電圧が印加されるLDD領域を有する構造をGOLD構造と呼ぶ。逆にゲート電圧が印加されないLDD領域のみを有する構造をLDD構造と呼ぶ。）の場合、LDD構造に比べてオフ電流（TFTがオフ状態にある時に流れる電流）が大きくなってしまうという問題がある。そのため、AM-LCDの画素マトリクス回路のように、オフ電流を極力抑えたい回路に使うには不適切であった。

【0009】

【発明が解決しようとする課題】本願発明では、AM-LCDの各回路を機能に応じて適切な構造のTFTでもって形成し、高い信頼性を有するAM-LCDを提供することを目的とする。延いては、そのようなAM-LCDを有する半導体装置（電子機器）の信頼性を高めることを目的とする。

【0010】

【課題を解決するための手段】本明細書で開示する発明の構成は、Nチャネル型TFTとPチャネル型TFTとで形成されたCMOS回路を含む半導体装置において、前記CMOS回路は前記Nチャネル型TFTのみ、絶縁層を介して第1配線および第2配線によって活性層が挟まれた構造を有し、前記活性層はチャネル形成領域に接して低濃度不純物領域を含んでおり、前記低濃度不純物領域は前記第1配線に重なり、且つ、前記第2配線に重ならないように形成されていることを特徴とする。

【0011】上記構成において、前記第1配線と前記第2配線とは電気的に接続されていても良い。即ち、第1配線と第2配線とが同電位となり、活性層に対して同じ

電圧を印加する（加える）ことが可能となる。

【0012】また、他の発明の構成は、Nチャネル型TFTとPチャネル型TFTとで形成されたCMOS回路を含む半導体装置において、前記CMOS回路は前記Nチャネル型TFTのみ、絶縁層を介して第1配線および第2配線によって活性層が挟まれた構造を有し、前記第2配線は、第1導電層と第2導電層との積層構造からなる部分と、前記第1導電層と前記第2導電層とで第3導電層を包み込んだ構造からなる部分とを有することを特徴とする。

【0013】上記構成において、前記第3導電層は、第1導電層または前記第2導電層よりも抵抗値が低い材料を用いる。具体的には、前記第1導電層または前記第2導電層は、タンタル (Ta)、チタン (Ti)、タングステン (W)、モリブデン (Mo)、またはシリコン (Si) から選ばれた元素を主成分とする導電膜、或いは前記元素を組み合わせた合金膜やシリサイド膜を用いることが好ましい。また、前記第3導電層は、アルミニウムまたは銅を主成分とする膜を用いることが好ましい。

【0014】また、他の発明の構成は、Nチャネル型TFTで形成された画素TFTと保持容量とを有する画素マトリクス回路を含む半導体装置において、前記画素TFTは絶縁層を介して第1配線および第2配線によって活性層が挟まれた構造を有し、前記活性層はチャネル形成領域に接して低濃度不純物領域を含んでおり、前記低濃度不純物領域は前記第1配線に重なり、且つ、前記第2配線に重ならないように形成されていることを特徴とする。

【0015】なお、上記構成において、前記第1配線は接地電位またはソース電源電位に保持されていても良いし、フローティング電位に保持されていても良い。

【0016】また、他の発明の構成は、Nチャネル型TFTで形成された画素TFTを有する画素マトリクス回路を含む半導体装置において、前記画素TFTは絶縁層を介して第1配線および第2配線によって活性層が挟まれた構造を有し、前記第2配線は、第1導電層と第2導電層との積層構造からなる部分と、前記第1導電層と前記第2導電層とで第3導電層を包み込んだ構造からなる部分とを有することを特徴とする。

【0017】また、他の発明の構成は、同一基板上に形成された画素マトリクス回路とドライバ回路とを有する半導体装置において、前記画素マトリクス回路に含まれる画素TFTと前記ドライバ回路に含まれるNチャネル型TFTとは、絶縁層を介して第1配線および第2配線によって活性層が挟まれた構造を有し、前記画素TFTに接続された第1配線は固定電位またはフローティング電位に保持され、前記ドライバ回路に含まれるNチャネル型TFTに接続された第1配線は、該ドライバ回路に含まれるNチャネル型TFTに接続された第2

配線と同電位に保持されることを特徴とする。

【0018】なお、上記構成において、前記活性層はチャネル形成領域に接して低濃度不純物領域を含んでおり、前記低濃度不純物領域は前記第1配線に重なり、且つ、前記第2配線に重ならないように形成されている。

【0019】さらに、前記第2配線は、第1導電層と第2導電層との積層構造からなる部分と、前記第1導電層と前記第2導電層とで第3導電層を包み込んだ構造からなる部分とを有する。

【0020】また、他の発明の構成は、Nチャネル型TFTとPチャネル型TFTとで形成されたCMOS回路を含む半導体装置の作製方法において、基板上に第1配線を形成する工程と、前記第1配線の上に第1絶縁層を形成する工程と、前記第1絶縁層の上に活性層を前記Nチャネル型TFTの活性層および前記Pチャネル型TFTの活性層を形成する工程と、前記Nチャネル型TFTの活性層および前記Pチャネル型TFTの活性層を覆って第2絶縁層を形成する工程と、前記第2絶縁層の上に第2配線を形成する工程と、を有し、前記第1配線は前記Nチャネル型TFTの活性層のみと交差するように形成されることを特徴とする。

【0021】上記構成において、前記第2配線は、第1導電層と第2導電層との積層構造からなる部分と、前記第1導電層と前記第2導電層とで第3導電層を包み込んだ構造からなる部分とが形成される。

【0022】また、他の発明の構成は、Nチャネル型TFTとPチャネル型TFTとで形成されたCMOS回路を含む半導体装置の作製方法において、基板上に第1配線を形成する工程と、前記第1配線の上に第1絶縁層を形成する工程と、前記第1絶縁層の上に活性層を前記Nチャネル型TFTの活性層および前記Pチャネル型TFTの活性層を形成する工程と、前記Nチャネル型TFTの活性層および前記Pチャネル型TFTの活性層を覆って第2絶縁層を形成する工程と、前記第2絶縁層の上に第1導電層を形成する工程と、前記第1導電層の上にパターン加工された第3導電層を形成する工程と、前記第3導電層を覆って第2導電層を形成する工程と、を有し、前記第1配線は前記Nチャネル型TFTの活性層のみと交差するように形成されることを特徴とする。

【0023】

【発明の実施の形態】 【実施形態1】本願発明の実施の形態について、Nチャネル型TFT（以下、NTFTという）とPチャネル型TFT（以下、PTFTという）を組み合わせたCMOS回路（インバータ回路）を例にとって説明する。

【0024】なお、断面構造は図1（A）に示し、上面図は図1（B）に示す。また、図1（A）、（B）は同一の符号を用いて説明する。また、図1（B）のA-A'、B-B'、C-C'で切った時の断面図は図1（A）においてA-A'、B-B'、C-C'で示した

各断面図に対応する。

【0025】まず、図1（A）において、101は基板、102a、102b、102cは第1配線、103は第1絶縁層、104はNTFTの活性層、105はPTFTの活性層、106は第2絶縁層である。

【0026】その上には第1導電層107a1、第2導電層107a2を積層してなる第2配線107a、同様に第1導電層107b1、第2導電層107b2を積層してなる第2配線107b、第1導電層107c1、第2導電層107c2を積層してなる第2配線107c、第1導電層107d1、第2導電層107d2で第3導電層d3を挟んだ構造からなる第2配線107dを有する。

【0027】また、108は第1層間絶縁層、109～111は第3配線であり、109、110がソース配線（ソース電極を含む）、111がドレイン配線（ドレン電極を含む）である。

【0028】以上のような構造でなるCMOS回路において、基板101としてはガラス基板、石英基板、金属基板、ステンレス基板、プラスチック基板、セラミックス基板またはシリコン基板を用いることができる。シリコン基板を用いる場合は予め表面を酸化して酸化珪素膜を設けておくと良い。

【0029】また、第1配線は図1（B）に示すように同一パターンからなる配線であるが、説明の便宜上、部分ごとに102a、102b、102cに区別した。ここでは第1配線102aは活性層103との交差部、第1配線102bはTFT間の接続部、第1配線102cは各回路に共通の電源供給部を指し示している。

【0030】この時、第1配線102aはNTFTのサブゲート電極として機能する。即ち、チャネル形成領域112の電荷制御は第1配線102aと、第1配線102aと同電位である第2配線（メインゲート電極）107aとで行われ、第1配線102aのみがLDD領域113にゲート電圧（または所定の電圧）を印加することができるような構造となっている。

【0031】従って、第2配線107aのみをゲート電極として機能させた場合はGOLD構造にならない（LDD構造となる）が、第1配線102aと組み合わせることで初めてGOLD構造を実現することができる。この構造の利点は後述するとして、さらに、この第1配線102aは遮光層としての機能をも兼ねている。

【0032】なお、第1配線の材料としては導電性を有しているばどのような材料を用いても構わない。ただし、後のプロセス温度に耐えうる耐熱性を有する材料であることが望ましい。例えばタンタル（Ta）、チタン（Ti）、タングステン（W）、モリブデン（Mo）、またはシリコン（Si）から選ばれた元素を主成分（成分比が50%以上）とする導電膜、或いは前記元素を組み合わせた合金膜やシリサイド膜を用いても構わない。

【0033】また、本実施形態の特徴としては、第1配

線102aがN TFTのみに設けられ、P TFTには設けられない点が挙げられる。図1(A)の場合、P TFTはオフセット領域もLDD領域も形成されていないが、どちらか一方または両方を備えていても構わない。

【0034】このような構造であるため、図1(B)に示すように第1配線は電源供給部から接続部を経由してN TFTに至り、N TFTのサブゲート電極として機能することになる。

【0035】また、第2配線も全て同一パターンからの配線であるが、説明の便宜上、部分ごとに区別した。区別の仕方は第1配線とほぼ同様であり、図1(A)において、107aがN TFTの活性層104との交差部、107bがP TFTの活性層105との交差部、107cがTFT間の接続部、107dが電源供給部である。

【0036】第2配線は基本的に二種類の導電層を積層して形成する。上層及び下層のどちらの導電層も導電性を有していればよく、タンタル(Ta)膜、チタン(Ti)膜、タンクステン(W)膜、モリブデン(Mo)膜、シリコン(Si)膜を自由に組み合わせて形成することができる。また、これらの合金膜やシリサイド膜を用いても構わない。

【0037】但し、積層した後で同一形状にパターニングが可能な材料を選択する必要がある。即ち、積層した後で一括にエッチングできるか、上層側をマスクにして下層側がエッチングできるような組み合わせが望ましい。また、下層に設ける導電層は第3導電層107d3とのエッチング選択性が確保されなければならない。

【0038】第3導電層107d3はアルミニウム(A1)または銅(Cu)を主成分(成分比が50%以上をいう)とする導電層であり、第1導電層107d1、第2導電層107d2で包み込んだ構造(以下、クラッド構造という)することで第2配線107dを形成している。この第2配線107dは電源供給部に相当する配線を形成する。

【0039】CMOS回路はAM-LCDのドライバ回路やその他の信号処理回路として多用されるインバータ回路である。これらのドライバ回路や信号処理回路は高密度に集積化されているため、配線幅を極力細くすることが望まれる。従って、活性層との交差部(ゲート電極部)や接続部(配線の引き回し部)はなるべく細くするように設計する。また、これらの部分は配線自体の長さもさほど長くないので、配線抵抗の影響を受けにくい。

【0040】しかしながら、電源供給部は配線自体の長さが長いため、配線抵抗の影響を大きく受けてしまう。そのため、本実施形態では抵抗の低いアルミニウムや銅を主成分とする材料を用い、配線抵抗を軽減している。また、第2配線107dのような構造とすると多少配線幅が太くなってしまうが、電源供給部は複雑に集積化さ

れた回路の外に形成されるため問題とはならない。

【0041】なお、対角4インチ以下のAM-LCDのように、全体的に回路が小さく極端に長い配線がないような半導体装置に本願発明を用いる場合、電源供給部となる配線も短いため、必ずしも上述のクラッド構造を用いなくても良い。換言すれば、図1に示した構造は対角4インチ以上のAM-LCDに対して有効であるとも言える。

【0042】以上のように、本実施形態のCMOS回路の特徴としては以下の二つが上げられる。

1. N TFTのみに第1配線(サブゲート配線)が設けられ、第1配線に第2配線(メインゲート配線)と同じ電圧を印加するか、所定の電圧を印加することでN TFTをGOLD構造とすることができる。

2. 第2配線のゲート電極部や接続部は配線幅を細くして高集積化し、電源供給部は第1及び第2導電層で低抵抗な第3導電層を挟み込む構造(クラッド構造)とすることで低抵抗化することができる。

【0043】【実施形態2】本願発明の実施の形態について、N TFTを画素 TFTとして用いた画素マトリクス回路を例にとって説明する。なお、この画素マトリクス回路は「実施形態1」で説明したCMOS回路と同一の基板上に同時に形成されるため、同一名称の配線に関する詳細は「実施形態1」の記載を参考にすれば良い。

【0044】なお、断面構造は図2(A)に示し、上面図は図2(B)に示す。また、図2(A)、(B)は同一の符号を用いて説明する。また、図2(B)のA-A'、B-B'で切った時の断面図は図2(A)においてA-A'、B-B'で示した各断面図に対応する。

【0045】まず、図2(A)において、201は基板、202a、202b、202cは第1配線、203は第1絶縁層、204は画素 TFT(N TFT)の活性層、205は第2絶縁層である。なお、画素 TFTはダブルゲート構造を例示しているが、シングルゲート構造でも良いし、三つ以上の TFTを直列に接続したマルチゲート構造としても構わない。

【0046】第2絶縁層203の上には第1導電層206a1、第2導電層206a2で第3導電層206a3を挟んだ構造からなる第2配線206a、第1導電層206b1、第2導電層206b2を積層してなる第2配線206b、第1導電層206c1、第2導電層206c2を積層してなる第2配線206c、第1導電層207a、第2導電層207bを積層してなる容量配線207を有する。

【0047】この時、容量配線207は第1絶縁層205を誘電体として、活性層204(具体的にはドレイン領域から延在する領域)との間に保持容量を形成する。この際、第1絶縁層205を窒化珪素膜の上に酸化珪素膜を設けた積層構造としておき、保持容量となる部分の酸化珪素膜を選択的に除去した後で第2配線を形成すれば比誘電率の高い窒化珪素膜のみを誘電体とする保持容

量を実現できる。

【0048】また、208は第1層間絶縁層、209、210は第3配線であり、209がソース配線（ソース電極を含む）、210がドレイン配線（ドレイン電極を含む）である。さらに、その上には第2層間絶縁層211、ブラックマスク212、第3層間絶縁層213、画素電極214が設けられる。

【0049】また、第1配線は図2(B)に示すように同一パターンからなる配線であるが、説明の便宜上、部分ごとに202a、202b、202cに区別した。ここでは第1配線202aはゲート電極として機能しない配線部、202b、202cは活性層204との交差部であり、ゲート電極部として機能する部分である。

【0050】なお、ここに示した第1配線は「実施形態1」で説明した第1配線と同時に形成される。従って、材料等の説明は省略する。

【0051】この時、第1配線202b、202cは画素TFTの遮光膜として機能する。即ち、「実施形態1」で説明したようなサブゲート配線としての機能はなく、固定電位にしておくか、フローティング状態（電気的に孤立した状態）にしておく。固定電位としては、接地電位かソース電源電位（ソース配線と同電位）にしておけば良い。そうすることでホットキャリア注入によって発生したホールをチャネル形成領域から引き抜くことが可能となり、その結果、電荷の中和がなされてホットキャリアが消滅する。

【0052】このようにチャネル形成領域215、216の電荷制御は第1配線206bと第1配線206cとで行われ、LDD構造として動作する。これによりオフ電流の増加を効果的に抑制することができる。

【0053】このように本実施形態に示した画素マトリクス回路では画素TFTとしてNTFTが用いられ、その構造は「実施形態1」で説明したCMOS回路のNTFTと同一構造である。しかしながら、CMOS回路では第1配線に所定電圧を印加してサブゲート配線として用いることでGOLD構造を実現したのに対し、画素マトリクス回路では第1配線を固定電位またはフローティング電位にしてLDD構造として用いる点に違いがある。

【0054】即ち、本願発明の最大の特徴は、同一基板上に同一構造のNTFTを形成しておき、第1配線（サブゲート配線）に印加する電圧の有無によってGOLD構造とLDD構造を使い分ける点にある。これにより工程数を増やすことなく、最適な回路設計が可能となるのである。

【0055】また、第2配線206a、206b、206cは、206b、206cがゲート電極部であり、206aが配線部である。配線部はできるだけ配線抵抗を低くすることが望ましいのでクラッド構造を採用している。しかし、ゲート電極部の方は配線幅がチャネル長を決定す

るため、第1導電層と第2導電層との積層として線幅を細くするような設計としている。

【0056】なお、クラッド構造の内容や効果については「実施形態1」で既に説明したのでここでの説明は省略する。また、「実施形態1」でも説明したように、対角4インチ以下のAM-LCDには必ずしもクラッド構造とする必要がないことは言うまでもない。

【0057】以上に示した本願発明の構成について、以下に示す実施例でさらに詳細に説明する。

【0058】

【実施例】 【実施例1】本実施例では、「実施形態1」で説明したCMOS回路の作製方法について説明する。説明には図3を用いる。

【0059】まず、基板301としてガラス基板を用意し、その上に第1配線302a、302b、302cを形成した。第1配線の材料としては、スパッタ法によりタンゲステンシリサイド(WSix)膜、シリコン膜を順次積層した積層膜を用いた。勿論、積層順序が逆であっても良いし、成膜手段としてCVD法を用いることも可能である。また、上記積層膜を形成した後、表面に酸化膜が形成されていると表面保護という意味で有効であった。

【0060】勿論、第1配線302a、302b、302cは導電性を有する膜であれば良いので、他の金属膜や合金膜等を用いても構わない。なお、テーパー角の小さいパターン形成が可能なクロム膜やタンタル膜を用いると平坦性を向上させることができると有効である。

【0061】次に、珪素（シリコン）を含む絶縁膜である第1絶縁層303を形成した。第1絶縁層303は活性層を保護する下地膜としての役割を果たすとともに、第1配線302aをサブゲート配線として用いる際のゲート絶縁膜として機能する。

【0062】本実施例ではまず50nmの窒化珪素膜を成膜し、その上に80nmの酸化珪素膜を積層した構造を採用した。他にもSiO_xN_y(x/y=0.01~1.00)で示される酸化窒化珪素膜（窒化酸化珪素膜ともいう）を用いても良い。その際、窒素の含有量を酸素の含有量よりも多くすることで耐圧を向上させることができる。

【0063】次に、50nm厚の非晶質珪素膜（図示せず）を形成し、公知のレーザー結晶化技術により結晶化して結晶質珪素膜を形成した。そして結晶質珪素膜をパターニングして活性層304、305を形成した。本実施例では、結晶化工程を、パルス発振型のKrFエキシマレーザー光を線状に集光して非晶質珪素膜に照射することによって行った。

【0064】尚、本実施例では活性層に用いる半導体膜として非晶質珪素膜を結晶化した結晶質珪素膜を用いたが、他の半導体膜として微結晶珪素膜を用いても構わないし、直接結晶質珪素膜を成膜しても良い。また、珪素

膜以外に、シリコンゲルマニウム膜等の化合物半導体膜を用いることも可能である。

【0065】次に、活性層304、305を覆って、酸化珪素膜、酸化窒化珪素膜、窒化珪素膜またはそれらの積層膜でなる第2絶縁層306を形成した。ここではプラズマCVD法で酸化窒化珪素膜を100nmの厚さに形成した。この第2絶縁層は第2配線をメインゲート配線として用いる際のゲート絶縁膜として機能する。

【0066】次に、第1導電層として20nm厚のタンタル膜307を形成し、その上にスカンジウムを添加したアルミニウム膜でなる第3導電層308を形成した。さらに、200nm厚のタンタル膜でなる第2導電層309を形成した。これらの成膜方法はスパッタ法でもCVD法でも良い。

【0067】こうして図3(A)の状態が得られたら、レジストマスク310、311を形成し、第1導電層307と第2導電層309とをエッチングした。こうしてタンタル膜の積層構造でなる第2配線312が形成された。この第2配線312は図1(A)の第2配線(メインゲート配線)107aに相当する。

【0068】次に、15族に属する元素(代表的にはリンまたは砒素)を添加し、低濃度不純物領域313を形成した。また、このとき同時にNTFTのチャネル形成領域314が画定した。本実施例では15族に属する元素としてリンを用い、質量分離を行わないイオンドーピング法を用いて添加した。(図3(B))

【0069】添加条件としては、加速電圧を90keVとし、 $1 \times 10^{16} \sim 1 \times 10^{19} \text{ atoms/cm}^3$ (好ましくは $5 \times 10^{17} \sim 5 \times 10^{18} \text{ atoms/cm}^3$)の濃度でリンが添加されるようにドーズ量を調節した。この濃度が後にLDD領域の不純物濃度になるので精密に制御する必要がある。

【0070】次に、レジストマスク310、311を除去し、新たにレジストマスク315～318を形成した。そして第1導電層307と第2導電層309をエッチングして第2配線319～321を形成した。この第2配線319、320、321はそれぞれ順に図1(A)の第2配線107b、107c、107dに相当する。

【0071】次に、13族に属する元素(代表的にはボロンまたはガリウム)を添加し、不純物領域322を形成した。また、このとき同時にPTFTのチャネル形成領域323が画定した。本実施例では13族に属する元素としてボロンを用い、質量分離を行わないイオンドーピング法を用いて添加した。(図3(C))

【0072】添加条件としては、加速電圧を75keVとし、 $1 \times 10^{19} \sim 5 \times 10^{21} \text{ atoms/cm}^3$ (好ましくは $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$)の濃度でボロンが添加されるようにドーズ量を調節した。

【0073】次に、レジストマスク315～318を除

去した後、再びレジストマスク324～327を形成した。本実施例では、これらのレジストマスクは裏面露光法を用いて形成した。即ち、レジストマスク324、326、327は第1配線がマスクとなり、レジストマスク325は第2配線がマスクとなっている。第1配線をマスクとなる場合は少し光の回り込みがあるので、第1配線よりも線幅が細くなる。この線幅は露光条件によって制御することが可能である。

【0074】勿論、これらのレジストマスクを、マスクを用いて形成することもできる。その場合、パターン設計の自由度は高くなるがマスク枚数が増えてしまう。

【0075】こうしてレジストマスク324～327が形成されたら、15族に属する元素(本実施例ではリン)の添加工程を行った。ここでは加速電圧を90keVとし、 $1 \times 10^{19} \sim 5 \times 10^{21} \text{ atoms/cm}^3$ (好ましくは $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$)の濃度でリンが添加されるようにドーズ量を調節した。

【0076】この工程によりNTFTのソース領域328、ドレイン領域329およびLDD領域330が画定した。また、PTFTのソース領域331、ドレイン領域332が画定した。この工程ではPTFTのソース領域とドレイン領域にもリンが添加されるが、前工程でさらに高い濃度のボロンが添加されていれば、N型に反転しないためP型を維持したままとなる。

【0077】こうしてNTFTおよびPTFTに一導電性を付与する不純物元素を添加したら、ファーネスアニール法、レーザーアニール法、ランプアニール法またはそれらの手法を併用して不純物元素の活性化を行った。

【0078】こうして図3(D)の状態が得られたら、酸化珪素膜、窒化珪素膜、酸化窒化珪素膜、樹脂膜またはそれらの積層膜でなる第1層間絶縁層333を形成した。そしてコンタクトホールを開けてソース配線334、335、ドレイン配線336を形成した。(図3(E))

【0079】本実施例では第1層間絶縁層333として、最初に窒化珪素膜を50nm形成し、さらに酸化珪素膜を950nm形成した2層構造とした。また、本実施例ではソース配線およびドレイン配線を、チタン膜100nm、チタンを含むアルミニウム膜300nm、チタン膜150nmをスパッタ法で連続して形成した3層構造の積層膜をパターニングして形成した。

【0080】こうして図3(E)に示すような構造のCMOS回路が完成した。本実施例のCMOS回路は図1(A)に示した構造であり、それについての説明は「実施形態1」で詳細に説明したのでここでの説明は省略する。また、図1(A)の構造を得るにあたって、本実施例の作製工程に限定される必要はない。例えば、NTFTをダブルゲート構造とし、PTFTをシングルゲート構造とするようなことも可能である。

【0081】なお、本実施例で説明したCMOS回路は

AM-LCDにおいてはドライバー(駆動)回路(シフトレジスタ回路、バッファ回路、レベルシフタ回路、サンプリング回路など)やその他の信号処理回路(分割回路、D/Aコンバータ回路、γ補正回路、オペアンプ回路など)を構成する基本単位回路である。

【0082】本実施例ではNTFTの第1配線をサブゲート配線として用いることで実質的なGOLD構造を実現することができ、ホットキャリア注入による劣化を防ぐことができる。従って、非常に信頼性の高い回路を形成することができる。

【0083】また、集積度の高い場所では配線の線幅を細くし、集積度のあまり高くない場所(電源供給部)ではクラッド構造とすることで配線抵抗を減らし、配線抵抗による遅延時間を低減する構造となっている。

【0084】【実施例2】本実施例では「実施形態2」で説明した画素マトリクス回路の作製方法について説明する。説明には図4、図5を用いる。なお、画素マトリクス回路は同一基板上において、実施例1に示したCMOS回路と同時に形成されるため、実施例1の作製工程に対応させて説明する。従って、必要に応じて図3と同じ符号を使って説明することとする。

【0085】まず、ガラス基板301上に第2配線401a、401b、401cを形成した。これら第2配線の材料は実施例1で説明した通りである。次に、実施例1を参考にして第1絶縁層303、画素TFTの活性層402、第2絶縁層306、第1導電層307、第3導電層403、第2導電層309を形成した。こうして図4(A)の状態が得られた、この時、同時形成されているCMOS回路は図3(A)の状態にある。

【0086】次に、レジストマスク404～407を形成し、第1導電層307と第2導電層309のエッチングを行った。こうして第2配線408、409および容量配線410が形成された。なお、第2配線408は図2(A)の第2配線206bに、第2配線409は図2(A)の第2配線206cに相当する。また、容量配線410は図2(A)の容量配線207に相当する。

【0087】次に、後にLDD領域を形成するためのリンの添加工程を行い、低濃度不純物領域411～413を形成した。また、この時、チャネル形成領域414、415が画定した。この工程は図3(B)の工程に対応する。従って、図4(B)の工程において、第2配線の材料や膜厚、およびリンの添加条件は実施例1と同様である。

【0088】次に、図3(C)に相当する工程を行った。まず、レジストマスク416、417を形成し、第1導電層307と第2導電層309のエッチングを行うことにより第2配線418を形成した。この第2配線418は図2(A)の第2配線206aに相当する。

【0089】次に、CMOS回路のPTFTを作製するためにボロンの添加工程を行った。本実施例の場合、画

素TFTはNTFTで形成されるため、画素マトリクス回路はレジストマスク417で全面的に覆った状態とした。(図4(C))

【0090】次に、レジストマスク416、417を除去した後、裏面露光法によりレジストマスク419～422を形成した。そして、リンの添加工程を行い、ソース領域423、ドレイン領域424、LDD領域425を形成した。この時、裏面露光条件やリンの添加条件等は実施例1の図3(D)の工程に従えば良い。

【0091】なお、図4(D)では説明の便宜上、ソース領域やドレイン領域と記載したが、画素TFTの場合は画素への充電時と放電時とでソース領域とドレイン領域が逆転するので明確な区別はない。

【0092】こうしてリンおよびボロンの添加工程が終了したら、実施例1と同様に不純物元素の活性化工程を行った。そして、第1層間絶縁層333を形成し、コンタクトホールを形成してソース配線426、ドレイン配線427を形成した。こうして図4(E)の状態を得た。この時、CMOS回路は図3(E)の状態となっている。

【0093】次に、ソース配線426およびドレイン配線427を覆って第2層間絶縁層428を形成した。本実施例ではパッシベーション膜として30nm厚の窒化珪素膜を形成し、その上に700nm厚のアクリル膜を形成した。勿論、酸化珪素膜など珪素を主成分とする絶縁膜を用いても良いし、他の樹脂膜を用いても良い。他の樹脂膜としては、ポリイミド膜、ポリアミド膜、BCB(ベンゾシクロブテン)膜などを使用することができる。

【0094】次に、100nm厚のチタン膜でなるブラックマスク429を形成した。ブラックマスク427は遮光性を有する膜であれば他の膜を用いても良い。代表的にはクロム膜、アルミニウム膜、タンタル膜、タンゲステン膜、モリブデン膜、チタン膜またはそれらの積層膜を用いれば良い。

【0095】次に第3層間絶縁層430を形成した。本実施例では1μm厚のアクリル膜としたが、第2層間絶縁層と同様の材料を用いることができる。

【0096】次に、第3層間絶縁層430にコンタクトホールを形成し、透明導電膜(代表的にはITO膜)でなる画素電極431を形成した。この時、画素電極431はドレイン配線427と電気的に接続される。従つて、コンタクトホールは非常に深いものとなるので、内側の側壁がテーパー形状または曲面を有するように形成すると画素電極が断線するなどの不良を防ぐのに有効であった。

【0097】こうして図5(A)に示すような構造の画素マトリクス回路が完成した。なお、本実施例では画素電極として透明導電膜を用いて透過型AM-LCDを作製する例を示したが、画素電極として反射率の高い金属

膜（アルミニウムを主成分とする金属膜など）を用いることで容易に反射型AM-LCDを作製することが可能である。

【0098】また、図5(A)の状態となった基板をアクティブマトリクス基板という。本実施例では、実際にAM-LCDを作製した場合の構造も併せて説明する。

【0099】図5(A)の状態が得られたら、配向膜432を80nmの厚さに形成した。次に、対向基板を作製した。対向基板はガラス基板433上にカラーフィルタ434、透明電極（対向電極）435、配向膜436を形成したものを準備した。そして、それぞれの配向膜432、435に対してラビング処理を行い、シール材

（封止材）を用いてアクティブマトリクス基板と対向基板とを貼り合わせた。そして、その間に液晶436を保持させた。なお、セルギャップを維持するためのスペーサが必要に応じて設ければ良い。

【0100】こうして図5(B)に示す構造のAM-LCD（画素マトリクス回路の部分）が完成した。本実施例に示した第2層間絶縁層428と第3層間絶縁層430は実際には実施例1に示したCMOS回路上にも形成されることになる。また、ブラックマスク429や画素電極431を形成すると同時に、それらを構成する材料で配線を形成し、その配線をAM-LCDのドライバ回路や信号処理回路の引き回し配線（第4配線または第5配線）として用いることも可能である。

【0101】本実施例の場合、画素 TFT に設けられた第1配線401b、401cは固定電位（接地電位またはソース電位）に設定した。こうしておくことで、ホットキャリア注入によってドレイン端部に生じたホール（正孔）を第1配線に引き抜くことができるため、信頼性の向上に適した構造となる。勿論、第1配線401b、401cをフローティング状態にしておくこともできるが、その場合にはホールの引き抜き効果を期待できない。

【0102】また、図2(B)の上面図にも示したように、配線部に位置する第2配線418はクラッド構造を採用し、配線抵抗を極力減らすような構造とした。

【0103】【実施例3】本実施例では本願発明の画素マトリクス回路やCMOS回路（具体的にはCMOS回路で形成されたドライバ回路や信号処理回路）を具備したAM-LCDの外観を図6に示す。

【0104】アクティブマトリクス基板601には画素マトリクス回路602、信号線駆動回路（ソースドライバ回路）603、走査線駆動回路（ゲートドライバ回路）604、信号処理回路（信号分割回路、D/Aコンバータ回路、アダプタ回路等）605が形成され、FPC（フレキシブルプリントサーキット）606が取り付けられている。なお、607は対向基板である。

【0105】ここでアクティブマトリクス基板601上に形成された各種回路をさらに詳しく図示したブロック

図を図7に示す。

【0106】図7において、701は画素マトリクス回路であり、画像表示部として機能する。また、702aはシフトレジスタ回路、702bはレベルシフタ回路、702cはバッファ回路である。これらでなる回路が全体としてゲートドライバ回路を形成している。

【0107】なお、図7に示したAM-LCDのブロック図ではゲートドライバ回路を、画素マトリクス回路を挟んで設け、それぞれで同一ゲート配線を共有している、即ち、どちらか片方のゲートドライバーに不良が発生してもゲート配線に電圧を印加することができるという冗長性を持たせている。

【0108】また、703aはシフトレジスタ回路、703bはレベルシフタ回路、703cはバッファ回路、703dはサンプリング回路であり、これらでなる回路が全体としてソースドライバ回路を形成している。画素マトリクス回路を挟んでソースドライバ回路と反対側にはプリチャージ回路14が設けられている。

【0109】本願発明を用いることで図6に示したような回路を有するAM-LCDの信頼性を大幅に向上させることができる。その際、ドライバ回路や信号処理回路を形成するCMOS回路は実施例1に従えばよく、画素マトリクス回路は実施例2に従えば良い。

【0110】【実施例4】本実施例では、「実施形態1」に示したCMOS回路や「実施形態2」に示した画素マトリクス回路の構造を異なるものとした場合について説明する。具体的には、回路の要求する仕様に応じて構造を異ならせる例を示す。

【0111】なお、CMOS回路の基本構造は図1(A)に示した構造、画素マトリクス回路の基本構造は図2(A)に示した構造であるため、本実施例では必要箇所のみに符号を付して説明することとする。

【0112】まず、図8(A)に示した構造はNFTのソース側のLDD領域をなくし、ドレイン側のみにLDD領域801を設けた構造である。ドライバ回路や信号処理回路に用いられるCMOS回路は高速動作を要求されるため、動作速度を低下させる要因となりうる抵抗成分は極力排除する必要がある。

【0113】本願発明のCMOS回路の場合、サブゲート配線として機能する第1配線にゲート電圧を印加することによってGOLD構造を実現し、ホットキャリア注入による劣化を防いでいる。しかしながら、ホットキャリア注入が生じるのはチャネル形成領域のドレイン領域側の端部であり、その部分にゲート電極とオーバーラップした（重なった）LDD領域が存在すれば良い。

【0114】従って、必ずしもチャネル形成領域のソース領域側の端部にはLDD領域を設けておく必要はない、却ってソース領域側に設けられたLDD領域が抵抗成分として働いてしまう恐れがある。そのため、図8(A)のような構造とすることは動作速度を改善する上

で有効である。

【0115】なお、図8（A）の構造はソース領域とドレイン領域とが入れ替わる画素TFTのような動作をする場合には適用できない。CMOS回路の場合、通常はソース領域およびドレイン領域が固定されるため、図8（A）のような構造を実現することができる。

【0116】次に、図8（B）は基本的には図8（A）と同様であるが、LDD領域802の幅が図8（A）よりも狭く形成されている。具体的には0.05～0.5μm（好ましくは0.1～0.3μm）とする。図8

（B）の構造はソース領域側の抵抗成分をなくすだけでなく、ドレイン領域側の抵抗成分を極力減らすような構造となっている。

【0117】このような構造は実際にはシフトレジスタ回路のように3～5Vといった低電圧で駆動し、高速動作を要求するような回路に適している。動作電圧が低いのでLDD領域（厳密にはゲート電極にオーバーラップしたLDD領域）が狭くなってしまってホットキャリア注入の問題は顕在化しない。

【0118】勿論、場合によってはシフトレジスタ回路のみN TFTのLDD領域を完全になくすようなどできる。その場合、同じドライバ回路内でも、シフトレジスタ回路のN TFTにはLDD領域がなく、他の回路には図1（A）や図8（B）に示した構造を採用するようなこともできる。

【0119】次に、図8（C）はN TFTをダブルゲート構造、P TFTをシングルゲート構造としたCMOS回路の例である。この場合、チャネル形成領域803、804のドレイン領域に近い側のみの端部にLDD領域805、806を設ける。

【0120】図3（D）に示したようにLDD領域の幅は裏面露光工程における光の回り込み量で決定するが、マスク合わせによってレジストマスクを形成すれば自由にマスク設計を行うことができる。図8（C）に示した構造においてもマスクを用いれば片側のみにLDD領域を設けることは容易である。

【0121】しかし、本実施例のようにゲート配線（第2配線）807a、807bと第1配線808、809とをずらして形成することで、裏面露光法を用いても片側のみにLDD領域を形成することが可能となる。

【0122】このような構造とすることでソース領域側のLDD領域による抵抗成分をなくし、ダブルゲート構造とすることでソースードレイン間にかかる電界を分散させて緩和する効果がある。

【0123】次に、図8（D）の構造は画素マトリクス回路の一実施形態である。図8（D）の構造の場合、ソース領域またはドレイン領域に近い片側のみにLDD領域809、810を設ける。即ち、二つのチャネル形成領域811と812の間にはLDD領域を設けない構造とする。

【0124】画素TFTの場合、充電と放電を繰り返す動作を行うためソース領域とドレイン領域とが頻繁に入れ替わることになる。従って、図8（D）の構造とすることでどちらがドレイン領域となてもチャネル形成領域のドレイン領域側にLDD領域を設けた構造となる。逆に、チャネル形成領域811と812の間の領域は電界集中がないので抵抗成分となるLDD領域をなくした方がオン電流（TFTがオン状態にある時に流れる電流）を大きくするには有効である。

【0125】なお、図8（A）～（D）の構造において、ソース領域側のチャネル形成領域の端部にはLDD領域を設けない構造としているが、幅の狭いものであれば設けられていても構わない。そのような構造はマスク合わせによってレジストマスクを形成しても良いし、第1配線と第2配線の位置を調節した上で裏面露光法を用いて形成しても良い。

【0126】なお、本実施例の構成は実施例1、2と組み合わせられることは言うまでもなく、実施例3に示したAM-LCDに用いても良い。

【0127】〔実施例5〕本実施例では実施例2に示した画素マトリクス回路とは異なる構造の保持容量を形成した場合について説明する。説明には図9を用いる。なお、基本的な構造は図2（A）に示したものと同じであるので、本実施例では必要箇所のみに符号を付して説明することとする。

【0128】まず、図9（A）に示した構造は保持容量を第1配線と同一層に形成された容量配線901、第1絶縁層902および活性層（厳密にはドレイン領域から延在する部分）903とで形成する。

【0129】この構造の利点は、活性層のうち保持容量の電極として機能する部分にも高濃度に13族または15族に属する元素が添加され、導電型を有している点である。勿論、13族または15族に属する元素はソース領域またはドレイン領域の形成工程と同時に形成すれば良い。

【0130】「実施形態2」で説明した構造の場合、保持容量の電極として機能する活性層は第2配線がマスクとなるため導電型を付与する不純物元素が添加されず、容量配線に常に電圧を印加して活性層に反転層が形成された状態を維持しなければならない。しかしながら、図9（A）の構造では、保持容量の電極として機能する活性層自身が導電性を有しているため、電圧を印加する必要がなく、接地電位などに固定しておけば良いだけである。

【0131】このように余分な電圧を印加する必要がない分、消費電力を抑えるのに有効な構造であると言える。

【0132】また、図9（B）の構造は、図2（A）に示した保持容量の構造と図9（A）に示した保持容量の構造とを組み合わせた例である。具体的には、第1配線

と同一層の第1容量配線904、第1絶縁層905および活性層906で第1保持容量を形成し、活性層906、第2絶縁層907および第2配線と同一層の第2容量配線908で第2保持容量を形成する。

【0133】この構造では工程数をなんら増やすことなく、図2(A)や図9(A)に示した保持容量の構造の2倍近い容量を確保することが可能である。特に、AM-LCDが高精細になれば開口率を稼ぐために、保持容量の面積を小さくすることが必要となる。そのような場合に図9(B)の構造は有効である。

【0134】なお、本実施例の構造を実施例3に示したAM-LCDに対して用いることは有効である。

【0135】【実施例6】本実施例では図1(A)に示したCMOS回路や図2(A)に示した画素マトリクス回路において、第2配線を構成する第1導電層を省略した場合の例を図10に示す。なお、図10(A)において図1(A)または図2(A)と同じ構成の部分には同一の符号を付している。

【0136】図10(A)のCMOS回路は、第2配線11~13が全て単層のタンタル膜で形成されている。即ち、図1(A)の構造と比較すると第1導電層を省略し、第2導電層のみで第2配線を形成した構成となる。なお、膜厚は200~400nmとすれば良い。勿論、タンタル以外に、チタン、タングステン、モリブデン、またはシリコンから選ばれた元素を主成分とする導電膜、或いは前記元素を組み合わせた合金膜やシリサイド膜を用いても良い。

【0137】このような構造とした場合、第2配線の電源供給部(図1(A)でクラッド構造となっていた部分)は第3導電層14aを第2導電層14bで覆った構造となる。ただし、この構造では第3導電層14aの構成元素であるアルミニウムや銅が第2絶縁層106中に拡散する恐れがある。そのため、第2絶縁層106の表面に窒化珪素膜を設けておくと、アルミニウムや銅の拡散を効果的に防止することが可能である。

【0138】また、本実施例の構造は画素マトリクス回路に対しても適用できる。図10(B)の画素マトリクス回路は、第2配線(ゲート配線)16、17および容量配線が第2導電層(本実施例ではタンタル膜)のみでなり、ゲート配線の中でも配線抵抗を抑えたい部分には、第3導電層15aを第2導電層15bで覆った構造を採用している。

【0139】勿論、図10(A)、図10(B)に示した回路はどちらも同一基板上に同時形成されることは言うまでもない。

【0140】また、本実施例の構造は実施例1および実施例2に示した作製工程において、第1導電層の形成工程を省略するのみで実現できる。また、実施例3のAM-LCDに適用することもできるし、実施例4、5に示した構成と組み合わせることも可能である。

【0141】【実施例7】本実施例では図1(A)に示したCMOS回路や図2(A)に示した画素マトリクス回路において、NTFTのゲート電極部をクラッド構造とする場合の例を図11に示す。なお、図11(A)において図1(A)または図2(A)と同じ構成の部分には同一の符号を付している。

【0142】図11(A)に示したCMOS回路では、NTFTのゲート電極21が第1導電層21aと第2導電層21bとで第3導電層21cを包み込んだクラッド構造となっている。この時、チャネル形成領域22の長さは第3導電層21cの線幅に一致する。

【0143】また、LDD領域23は実質的に二つの領域に区別することができる。一方は第2配線の一部であるゲート電極21と重なっており、他方はゲート電極21と重なっていない。即ち、本実施例の構造では、第2配線の一部であるゲート電極のみでGOLD構造を実現することができる。さらにゲート電極にオーバーラップしたLDD領域の外側に、ゲート電極にオーバーラップしないLDD領域が設けられるため、非常にオフ電流を小さくすることができる。

【0144】図11(B)に示した画素マトリクス回路の場合も同様であり、画素TFTのゲート電極24、25はどちらも第1導電層24a、25aと第2導電層24b、25bとで第3導電層24c、25cを包み込んだクラッド構造となっている。この時、チャネル形成領域26、27の長さは第3導電層24c、25cの線幅に一致する。また、LDD領域28、29はどちらもLDD領域23と同様に実質的に二つの領域に区別できる。

【0145】「実施形態1」や「実施形態2」に示した構造の場合、CMOS回路では第1配線(サブゲート配線)にゲート電圧を印加することでGOLD構造が実現されるが、画素マトリクス回路ではオフ電流を下げるためにLDD構造となるようにしている。これはGOLD構造の欠点であるオフ電流の増加を避けるためであり、そのためオン電流の劣化を抑制するというGOLD構造そのものの利点は得られない。

【0146】しかしながら、本実施例の構造では画素マトリクス回路であってもGOLD構造のNTFTが実現されるため、さらに信頼性を高めることができる。勿論、画素TFTをGOLD構造にできる理由は、ゲート電極にオーバーラップするLDD領域の外側に、ゲート電極にオーバーラップしないLDD領域を設けたからに他ならない。

【0147】ここで、本実施例の構造を実現するための作製工程について図12を用いて説明する。ただし、基本的には実施例1で説明した工程と同一であるので、必要箇所のみに新たに符号を付して説明する。

【0148】まず、実施例1の工程に従って第3導電層308を形成した。本実施例の場合、第3導電層308の形成と同時にNTFTの上にも第3導電層31を形成

した。そして、レジストマスク32を形成し、リンの添加工程を行った。この添加条件は実施例1の図3(B)の工程を参考にすれば良い。この工程により低濃度不純物領域33、34が形成され、チャネル形成領域35が画定した。(図12(A))

【0149】次に、レジストマスク32を除去した後、第2導電層36、37を形成した。この工程によりNFTのメインゲート配線38が形成された。(図12(B))

【0150】次に、レジストマスク315～318を形成し、ボロンの添加工程を行った。添加条件は実施例1の図3(C)の工程を参考にすれば良い。こうしてリンおよびボロンの添加工程が終了したら、実施例1と同様の手段で添加した不純物元素の活性化を行い、図12(C)の状態が得られた。

【0151】次に、レジストマスク315～318を除去した後、裏面露光法により再びレジストマスク324～327を形成し、リンの添加工程を行った。添加条件は実施例1の図3(D)の工程を参考にすれば良い。

【0152】この工程によりNFTのソース領域39、ドレイン領域40および低濃度不純物領域(LDD領域)41が形成された。(図12(D))

【0153】この時、LDD領域41は、ゲート電極38とオーバーラップしている部分の長さが0.1～3.5μm(代表的には0.1～0.5μm、好ましくは0.1～0.3μm)となるようにし、ゲート電極38とオーバーラップしていない部分の長さが0.5～3.5μm(代表的には1.5～2.5μm)となるようにすれば良い。

【0154】この後は実施例1と同様の工程を経て、第1層間絶縁膜108、ソース配線109、110、ドレイン配線111を形成することで図11(A)に示すような構造のCMOS回路が完成した。

【0155】なお、本実施例ではCMOS回路の作製工程を例にとって説明したが、画素マトリクス回路においてもほぼ同様の作製工程で図11(B)の構造が得られる。従って、ここでの説明は省略する。

【0156】また、本実施例の構造は実施例3のAM-LCDに適用することもできるし、実施例4～6に示した構成とも自由に組み合わせることが可能である。

【0157】〔実施例8〕実施例1の図3(D)の工程において、裏面露光法でレジストマスク324～327を形成した後、第2絶縁層306をエッティングして除去し、露呈した活性層にリンを添加することは有効である。

【0158】こうすることによりリンを添加する際の加速電圧を10keV程度にまで下げる事ができる。ドーピング装置の負担を減らすことができる。また、スループットを大幅に向上させることができる。この事は実施例2の図4(D)に示した工程においても同様である。

【0159】なお、本実施例の構成は実施例3のAM-LCDに適用することもできるし、実施例4～7に示した構成とも自由に組み合わせることが可能である。

【0160】〔実施例9〕本実施例ではドライバー回路に用いるCMOS回路において、NFTのオフ電流を低減するための構造について図13を用いて説明する。

【0161】図13において、NFTのLDD領域51は、実質的に第1配線102aにオーバーラップしている部分としていない部分とに区別できる。従って、第1配線102aにゲート電圧が印加された際、図13のNFTはゲート電極にオーバーラップしたLDD領域の外側に、ゲート電極にオーバーラップしていないLD領域を有する構造となる。

【0162】このような構造は実施例8でも説明したように、GOLD構造の利点であるオン電流の劣化を防ぐ効果を有し、且つ、GOLD構造の欠点であるオフ電流の増加を抑制した電気特性を得ることができる。従って、非常に優れた信頼性を有するCMOS回路を実現することが可能である。

【0163】また、ここではCMOS回路の場合を例にとって説明したが、本実施例の構造を画素マトリクス回路に適用しても構わない。

【0164】また、本実施例の構造を実現するために実施例1の図3(D)に示した工程において裏面露光法を用いなければ良い。即ち、通常のマスク合わせにより第1配線よりも幅の広いレジストマスクを設け、その後、リンの添加工程を行えば本実施例の構造を容易に得ることができる。

【0165】なお、LDD領域の長さ(ゲート電極にオーバーラップしている部分としていない部分の長さ)は実施例8に示した範囲を参考にすれば良い。

【0166】なお、本実施例の構成は実施例3のAM-LCDに適用することもできるし、実施例4～7に示した構成とも自由に組み合わせることが可能である。

【0167】〔実施例10〕本実施例では、実施例1または実施例2に示した活性層を形成するにあたってレーザー結晶化以外の手段を用いた場合について説明する。

【0168】具体的には、活性層として用いる結晶質半導体膜を、触媒元素を用いた熱結晶化法により形成する例を示す。触媒元素を用いる場合、特開平7-130652号公報(米国出願番号08/329, 644または米国出願番号08/430, 623に対応)、特開平8-78329号公報で開示された技術を用いることが望ましい。特に触媒元素としてはニッケルが好適である。

【0169】なお、本実施例の構成は実施例1乃至実施例9の全ての構成と自由に組み合わせることが可能である。

【0170】〔実施例11〕本実施例は活性層を形成する方法として、実施例10に示した熱結晶化法を用い、そこで用いた触媒元素を結晶質半導体膜から除去する工

程を行った例を示す。本実施例ではその方法として、特開平10-135468号公報（米国出願番号08/951, 193に対応）または特開平10-135469号公報（米国出願番号08/951, 819に対応）に記載された技術を用いる。

【0171】同公報に記載された技術は、非晶質半導体膜の結晶化に用いた触媒元素を結晶化後にハロゲンのゲッタリング作用を用いて除去する技術である。同技術を用いることで、結晶質半導体膜中の触媒元素の濃度を $1 \times 10^{17} \text{atoms/cm}^3$ 以下、好ましくは $1 \times 10^{16} \text{atoms/cm}^3$ にまで低減することができる。

【0172】なお、本実施例の構成は実施例1乃至実施例10の全ての構成と自由に組み合わせることが可能である。

【0173】〔実施例12〕本実施例は活性層を形成する方法として、実施例10に示した熱結晶化法を用い、そこで用いた触媒元素を結晶質半導体膜から除去する工程を行った例を示す。本実施例ではその方法として、特開平10-270363号公報（米国出願番号09/050, 182に対応）に記載された技術を用いる。

【0174】同公報に記載された技術は、非晶質半導体膜の結晶化に用いた触媒元素を結晶化後にリンのゲッタリング作用を用いて除去する技術である。同技術を用いることで、結晶質半導体膜中の触媒元素の濃度を $1 \times 10^{17} \text{atoms/cm}^3$ 以下、好ましくは $1 \times 10^{16} \text{atoms/cm}^3$ にまで低減することができる。

【0175】なお、本実施例の構成は実施例1乃至実施例10の全ての構成と自由に組み合わせることが可能である。

【0176】〔実施例13〕本実施例では、実施例12で示したリンによるゲッタリング工程の別形態について説明する。なお、基本的な工程は図1に従うものであるので、相違点のみに着目して説明する。

【0177】まず、実施例1の工程に従って図3(D)の状態を得た。図14(A)は図3(D)の状態からレジストマスク324～327を除去した状態を表している。ただし、TFTの活性層となる半導体層の形成には実施例10に示した熱結晶化技術を用いている。

【0178】この時、NTFTのソース領域328及びドレイン領域329、並びにPTFTのソース領域331及びドレイン領域332には $1 \times 10^{19} \sim 1 \times 10^{21} \text{atoms/cm}^3$ （好ましくは $5 \times 10^{20} \text{atoms/cm}^3$ ）の濃度でリンが含まれている。

【0179】本実施例ではこの状態で、窒素雰囲気中で500～800°C、1～24時間、例えば600°C、12時間の加熱処理の工程を行う。この工程により、添加されたn型及びp型を付与する不純物元素を活性化することができた。さらに、結晶化工程の後残存していた触媒元素（本実施例ではニッケル）が矢印の方向に移動し、前述のソース領域及びドレイン領域に含まれたリン

の作用によって同領域にゲッタリング（捕獲）することができた。その結果、チャネル形成領域からニッケルを $1 \times 10^{17} \text{atoms/cm}^3$ 以下にまで低減することができた。

【0180】図14(B)の工程が終了したら、以降の工程は実施例1の工程に従えば、図3(E)に示すようなCMOS回路を作製することができる。勿論、同様のことが画素マトリクス回路でも行われることは言うまでもない。

【0181】なお、本実施例の構成は実施例1乃至実施例10の全ての構成と自由に組み合わせることが可能である。

【0182】〔実施例14〕本願発明のTFT構造はAM-LCDのような電気光学装置だけでなく、あらゆる半導体回路に適用することが可能である。即ち、RISCプロセッサ、ASICプロセッサ等のマイクロプロセッサに適用しても良いし、D/Aコンバータ等の信号処理回路から携帯機器（携帯電話、PHS、モバイルコンピュータ）用の高周波回路に適用しても良い。

【0183】さらに、従来のMOSFET上に層間絶縁膜を形成し、その上に本願発明を用いて半導体回路を作製したような三次元構造の半導体装置を実現することも可能である。このように本願発明は現在LSIが用いられている全ての半導体装置に適用することが可能である。即ち、SIMOX、Smart-Cut(SOITEC社の登録商標)、ELTRAN(キャノン株式会社の登録商標)などのSOI構造（単結晶半導体薄膜を用いたTFT構造）に本願発明を適用しても良い。

【0184】また、本実施例の半導体回路は実施例1、2、4～13のどのような組み合わせからなる構成を用いても実現することができる。

【0185】〔実施例15〕本願発明を実施して形成されたCMOS回路や画素マトリクス回路は様々な電気光学装置や半導体回路に適用することができる。即ち、それら電気光学装置や半導体回路を部品として組み込んだ電子機器全てに本願発明を実施できる。

【0186】その様な電子機器としては、ビデオカメラ、デジタルカメラ、プロジェクター、プロジェクションTV、ヘッドマウントディスプレイ（ゴーグル型ディスプレイ）、カーナビゲーション、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話または電子書籍等）などが挙げられる。それらの一例を図15に示す。

【0187】図15(A)は携帯電話であり、本体2001、音声出力部2002、音声入力部2003、表示装置2004、操作スイッチ2005、アンテナ2006で構成される。本願発明を音声出力部2002、音声入力部2003、表示装置2004やその他の信号制御回路に適用することができる。

【0188】図15(B)はビデオカメラであり、本体

2101、表示装置2102、音声入力部2103、操作スイッチ2104、バッテリー2105、受像部2106で構成される。本願発明を表示装置2102、音声入力部2103やその他の信号制御回路に適用することができる。

【0189】図15(C)はモバイルコンピュータ(モバイルコンピュータ)であり、本体2201、カメラ部2202、受像部2203、操作スイッチ2204、表示装置2205で構成される。本願発明は表示装置2205やその他の信号制御回路に適用できる。

【0190】図15(D)はゴーグル型ディスプレイであり、本体2301、表示装置2302、アーム部2303で構成される。本発明は表示装置2302やその他の信号制御回路に適用することができる。

【0191】図15(E)はリア型プロジェクターであり、本体2401、光源2402、表示装置2403、偏光ビームスプリッタ2404、リフレクター2405、2406、スクリーン2407で構成される。本発明は表示装置2403やその他の信号制御回路に適用することができる。

【0192】図15(F)はフロント型プロジェクターであり、本体2501、光源2502、表示装置2503、光学系2504、スクリーン2505で構成される。本発明は表示装置2502やその他の信号制御回路に適用することができる。

【0193】以上の様に、本願発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例の電子機器は実施例1～14のどのような組み合わせからなる構成を用いても実現することができる。

【0194】

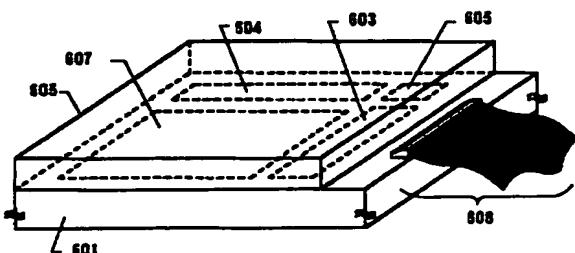
【発明の効果】本願発明は同一構造のN TFTを、活性層の下側に設けた第1配線の電圧を制御することでGOLD構造として用いたり、LDD構造として用いたりする点に特徴がある。即ち、工程数を増やしたり煩雑にすることなく、同一基板上にGOLD構造とLDD構造とを実現することができる。

【0195】そのため、AM-LCDやAM-LCDを表示ディスプレイとして有する電子機器等の半導体装置において、回路が要求する仕様に応じて適切な性能の回路を配置する事が可能となり、半導体装置の性能や信頼性を大幅に向上させることができた。

【図面の簡単な説明】

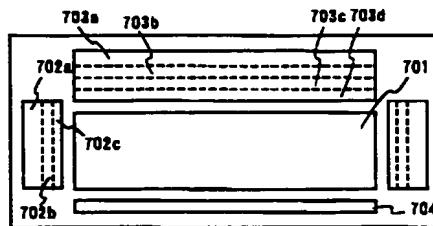
- 【図1】 CMOS回路の構造を示す図。
- 【図2】 画素マトリクス回路の構造を示す図。
- 【図3】 CMOS回路の作製工程を示す図。
- 【図4】 画素マトリクス回路の作製工程を示す図。
- 【図5】 画素マトリクス回路の作製工程を示す図。
- 【図6】 AM-LCDの外観を示す図。
- 【図7】 AM-LCDのブロック構成を示す図。
- 【図8】 CMOS回路または画素マトリクス回路の構造を示す図。
- 【図9】 画素マトリクス回路(特に保持容量)の構造を示す図。
- 【図10】 CMOS回路または画素マトリクス回路の構造を示す図。
- 【図11】 CMOS回路または画素マトリクス回路の構造を示す図。
- 【図12】 CMOS回路の作製工程を示す図。
- 【図13】 CMOS回路の構造を示す図。
- 【図14】 CMOS回路の作製工程を示す図。
- 【図15】 電子機器の一例を示す図。

【図6】



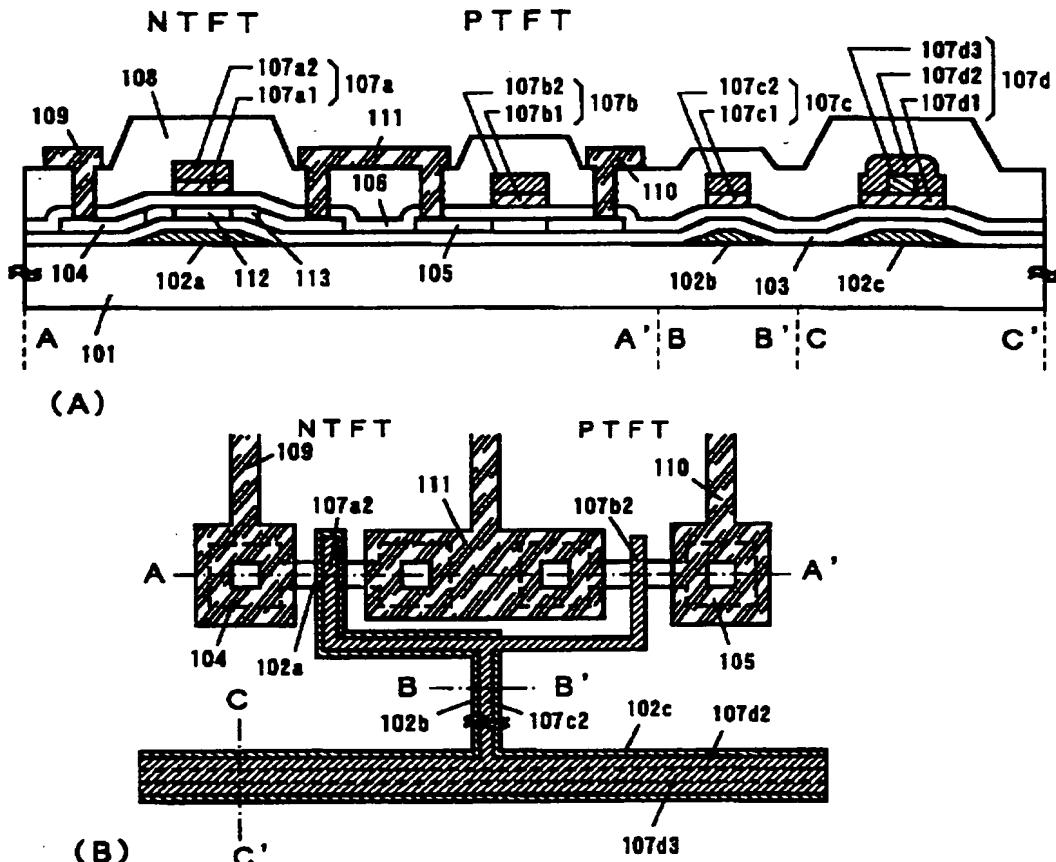
601:絶縁表面を有する基板 602:画素マトリクス回路
603:ソースドレイン回路 604:ゲートドレイン回路
605:信号処理回路 606:FPC 607:対向基板

【図7】



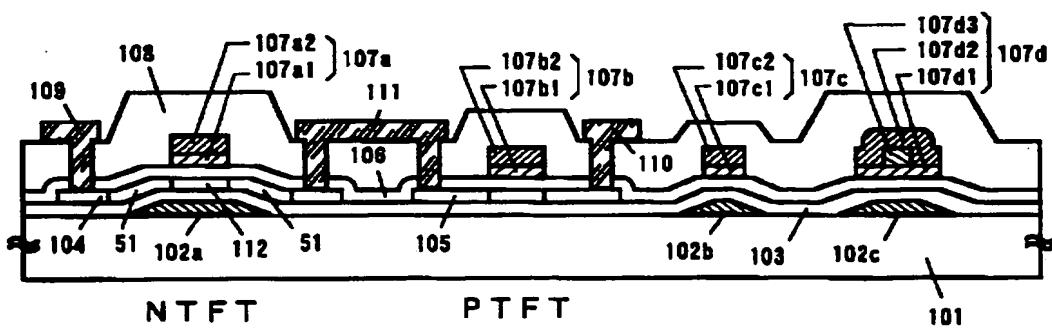
701:画素マトリクス回路 702a, 703a:シフトレジスタ回路
702b, 703b:メモリ回路 702c, 703c:データ回路
703d:オーバーラップ回路 704:アタッチメント回路

[図1]

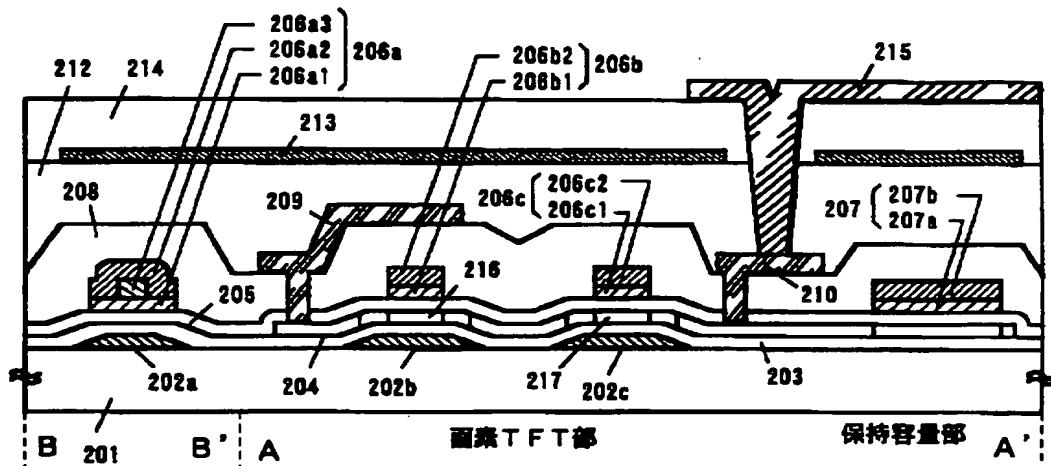


101:基板 102a, 102b, 102c:第1配線 103:第1絶縁層 104, 105:活性層
 106:第2絶縁層 107a, 107b, 107c, 107d:第2配線
 (107a1, 107b1, 107c1, 107d1:第1導電層
 107a2, 107b2, 107c2, 107d2:第2導電層 107d3:第3導電層)
 108:第1層間絶縁層 109~111:第3配線 (109, 110:ソース配線 111:ドレイン配線)

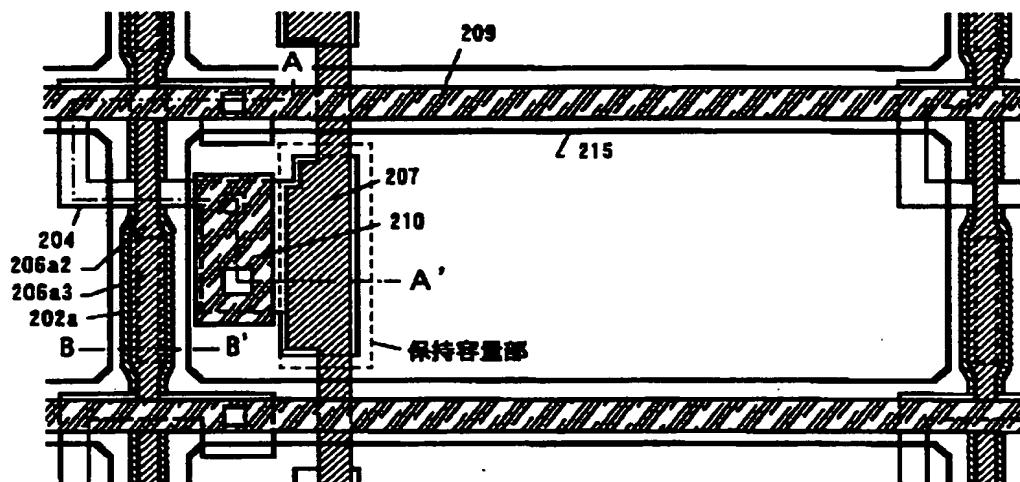
[図13]



【図2】



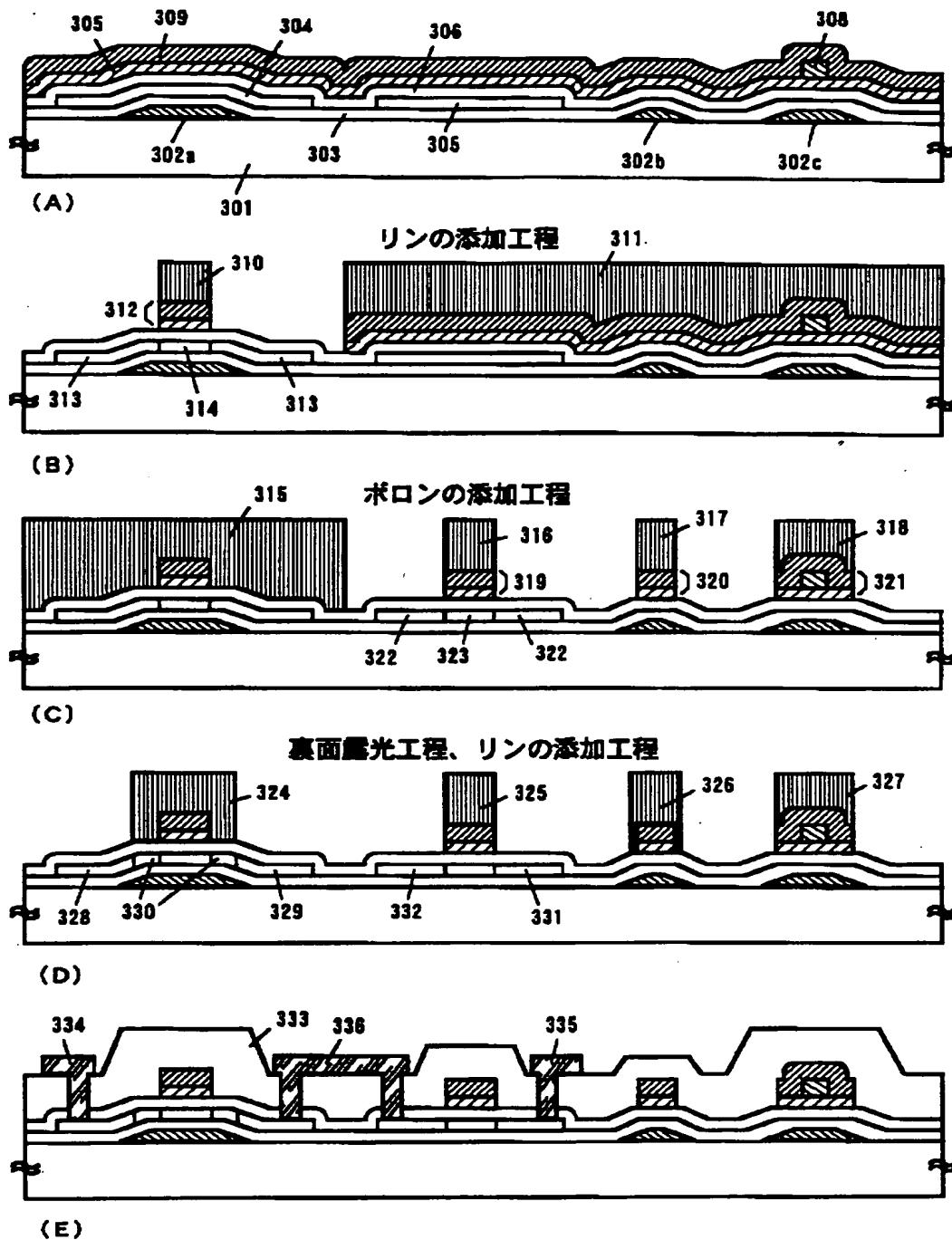
(A)



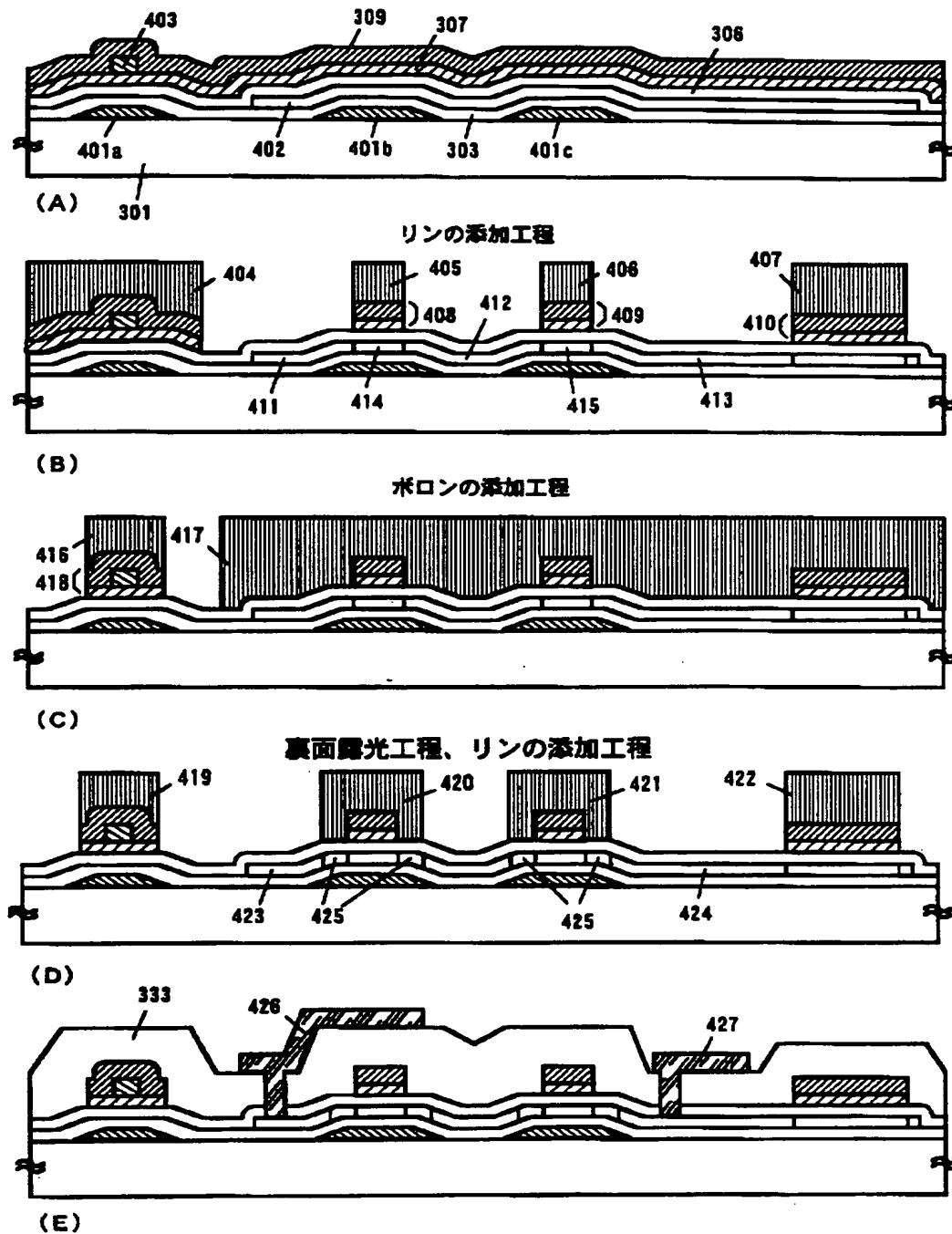
(B)

201:基板 202a, 202b, 202c:第1配線 203:第1絶縁層 204:活性層
 205:第2絶縁層 206a, 206b, 206c:第2配線
 (206a1, 206b1, 206c1:第1導電層 206a2, 206b2, 206c2:第2導電層 206a3:第2導電層)
 207:容量配線 (207a:第1導電層 207b:第2導電層) 208:第1層間絶縁層
 209:ソース配線 210:ドレイン配線 211:第2層間絶縁層 212:アラミック 213:第3層間絶縁層
 214:面素電極 215, 216:チャネル形成領域

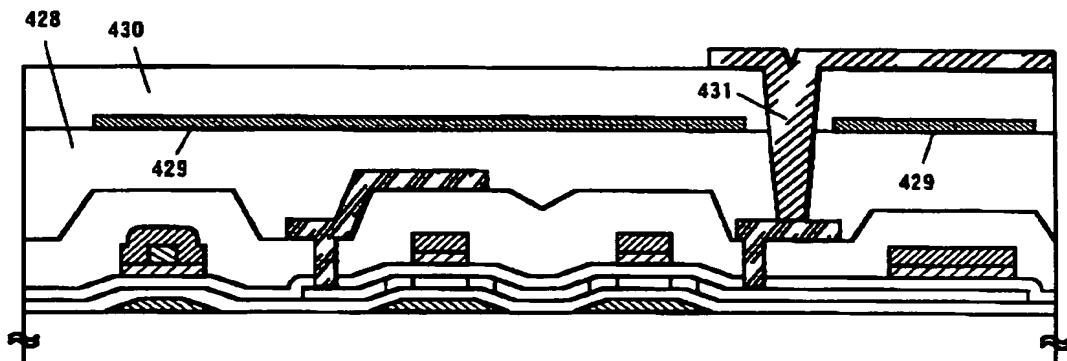
[図3]



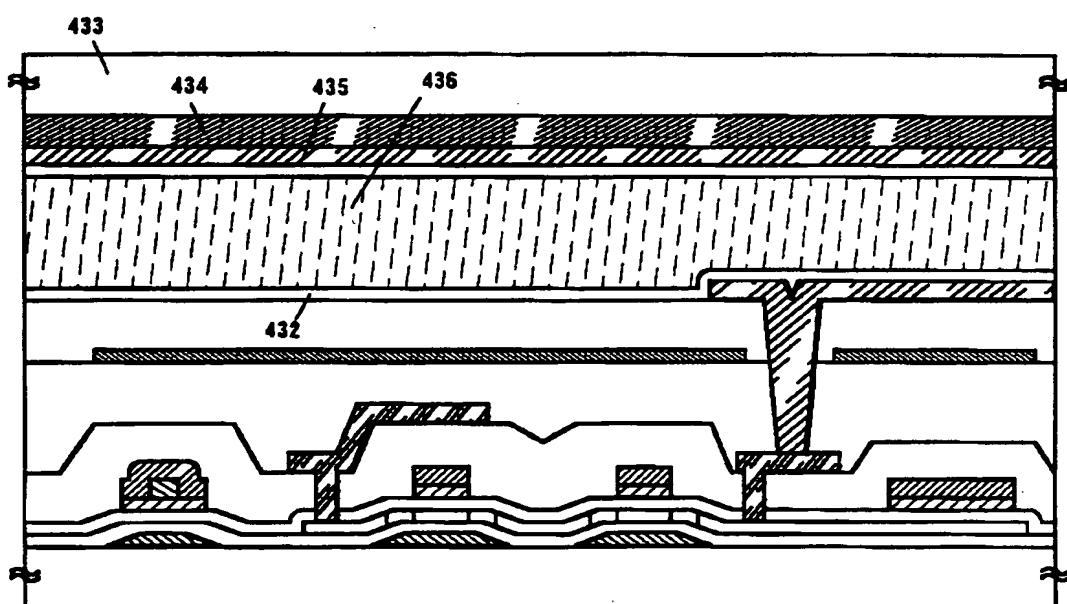
[図4]



【図5】

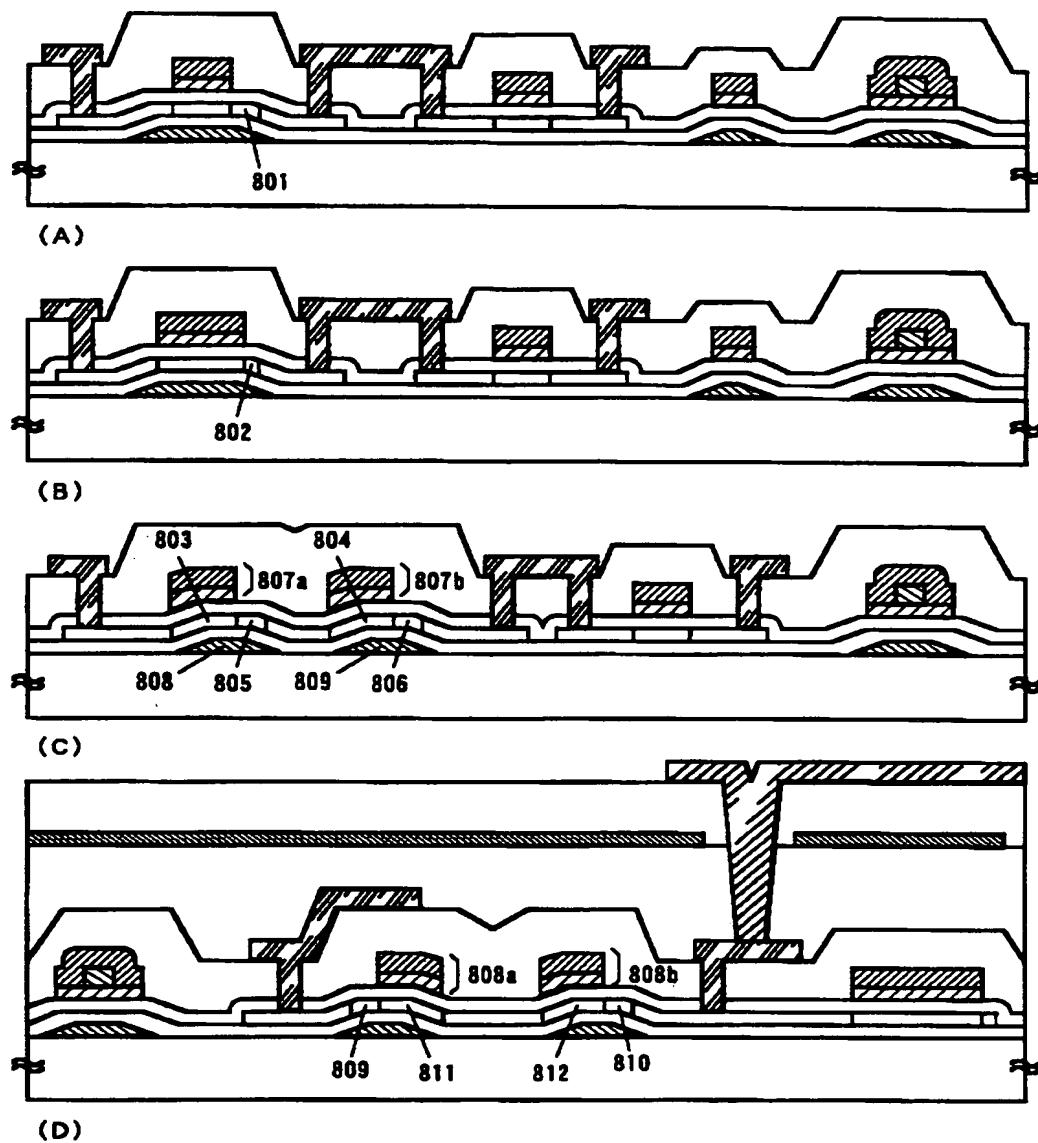


(A)

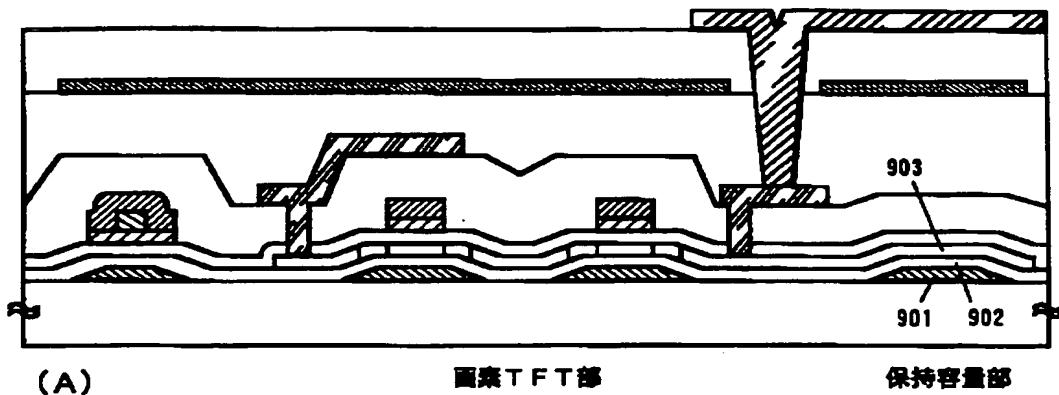


(B)

【図8】



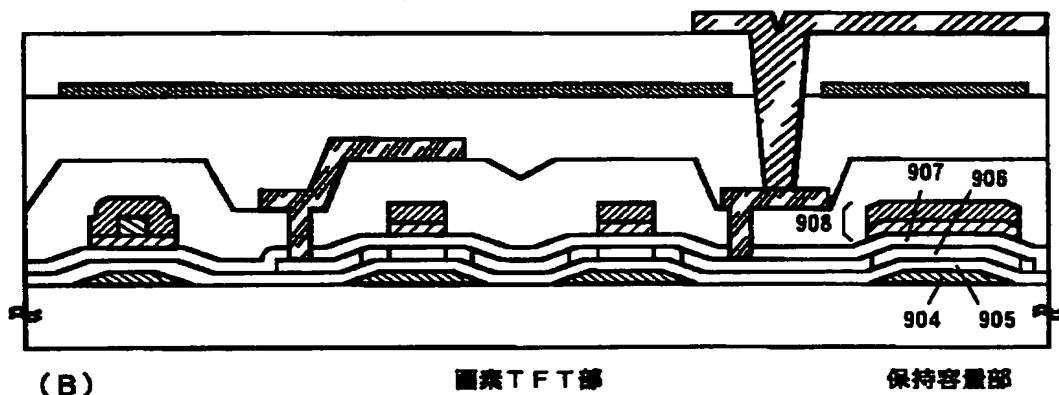
【図9】



(A)

画素TFT部

保持容量部

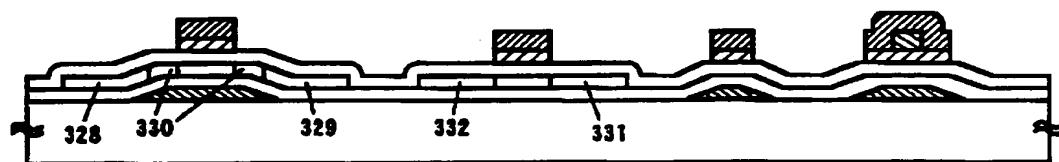


(B)

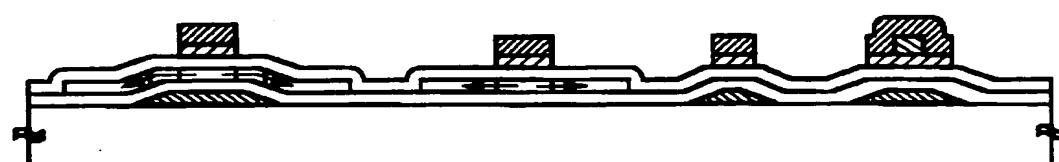
画素TFT部

保持容量部

【図14】

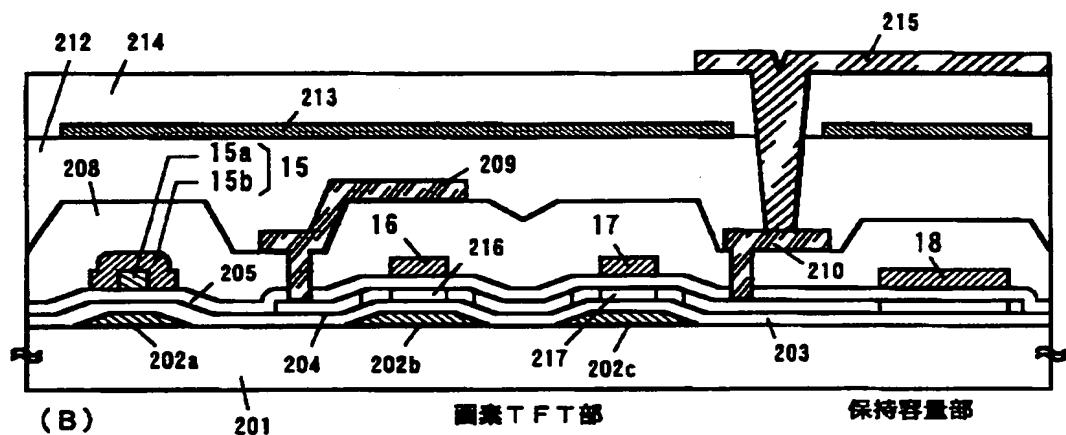
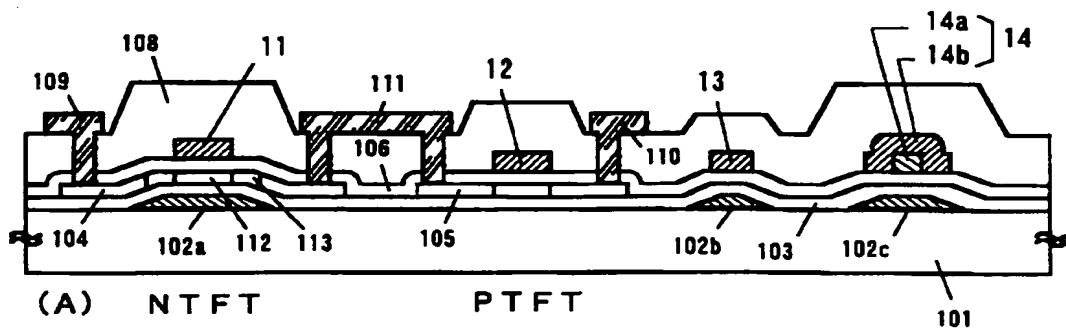


(A)

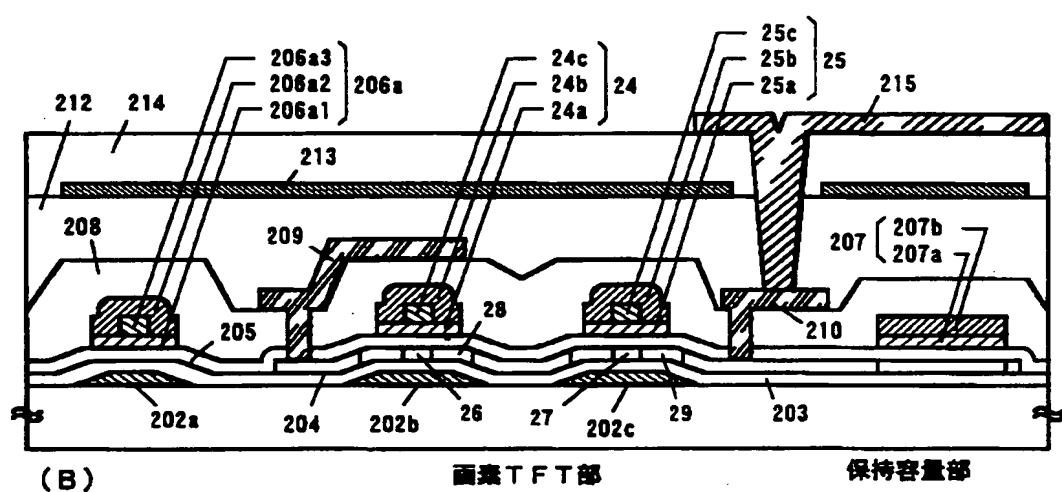
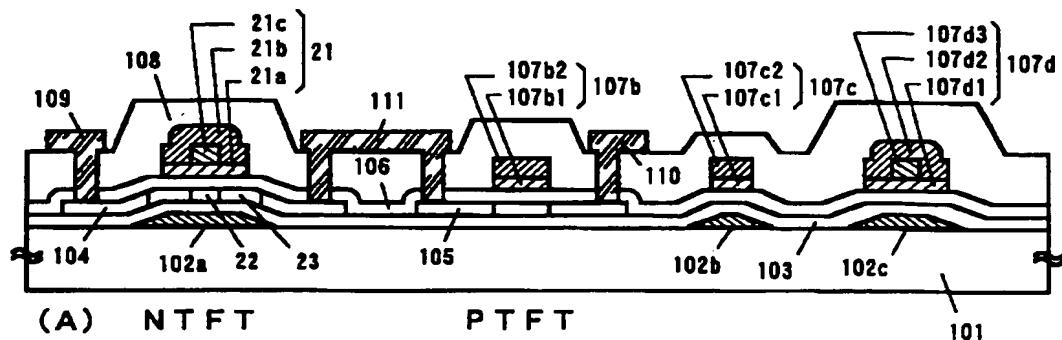


(B)

[図10]

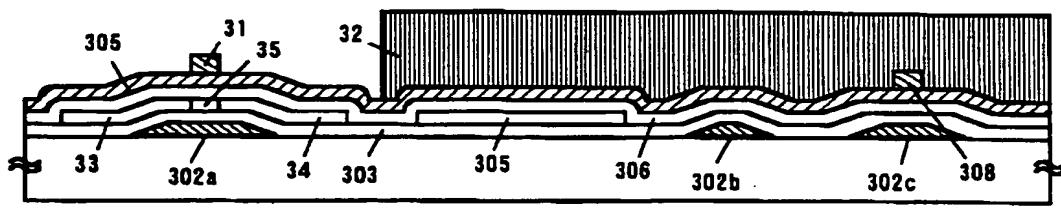


[図11]

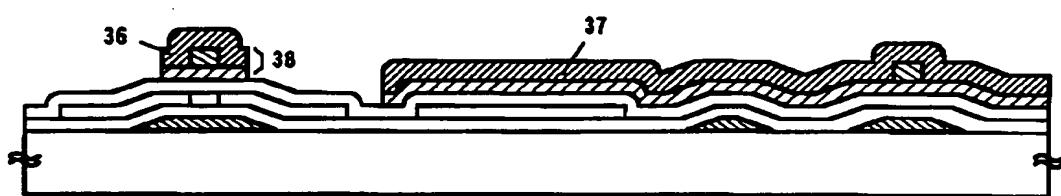


【図12】

リンの添加工程

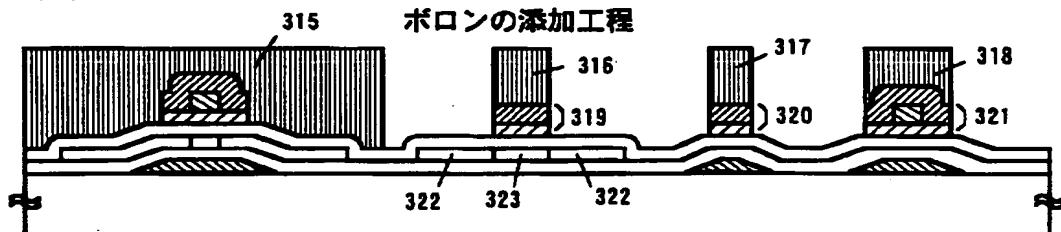


(A)



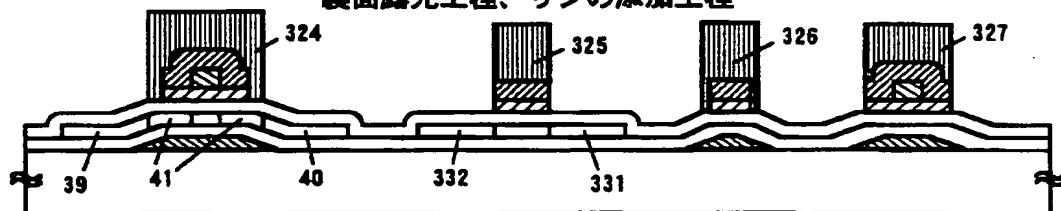
(B)

ポロンの添加工程



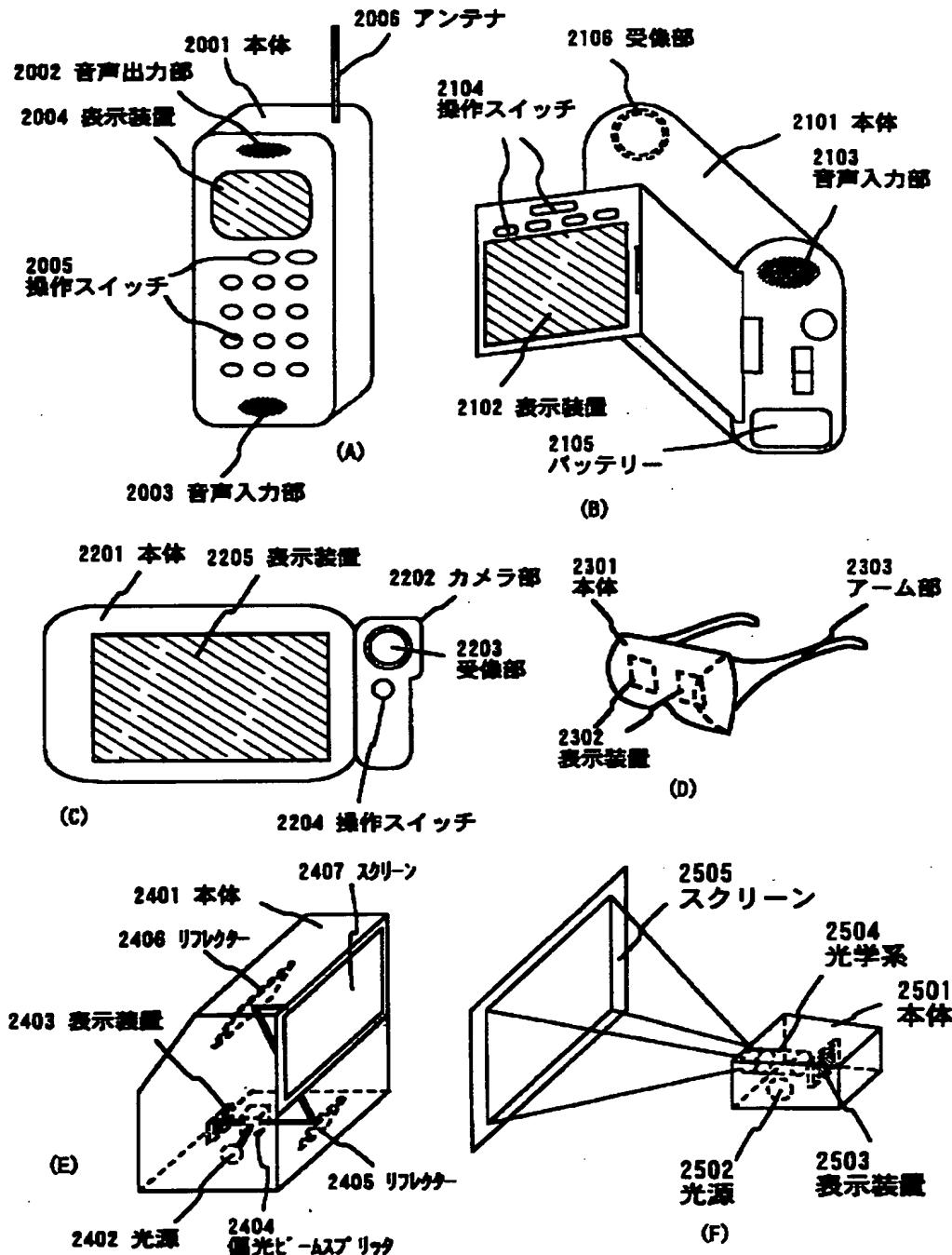
(C)

裏面露光工程、リンの添加工程



(D)

[図15]



フロントページの続き

(72) 発明者 荒井 康行
 神奈川県厚木市長谷398番地 株式会社半
 導体エネルギー研究所内

F ターム(参考) 2H092 JA24 JA36 JB51 JB69 MA08
MA09 MA30 NA25 PA07 RA01
RA05
5F110 BB02 BB04 CC02 DD01 DD02
DD03 DD05 DD13 EE03 EE04
EE05 EE06 EE14 EE30 EE44
EE45 FF02 FF03 FF04 FF27
FF30 GG02 GG04 GG13 GG14
GG42 HJ01 HJ04 HJ13 HL03
HL06 HM14 HM15 NN02 NN03
NN04 NN23 NN24 NN27 NN44
NN46 NN47 NN74 PP03 QQ12

English Translation

(19) Japanese Patent Office (JP)

(11) Laid-open No. : 2000-183356

(43) Laid open Date : June 30, 2000

(12) Patent Laid-open Official Gazette (A)

(51) Int. Cl.⁷

H 01 L 29/786

G 02 F 1/136

H 01 L 21/326

Discrimination Mark 500

The Number of Claims: 27 (27 pages in total)

Request of Examination: not filed

.....

(21) Application No. : Hei 10-361689

(22) Application Date : December 18, 1998

(71) Applicant : 000153878

Semiconductor Energy Laboratory Co., Ltd.

398, Hase, Atsugi-shi, Kanagawa-ken

(72) Inventor : Hisashi OHTANI

c/o Semiconductor Energy Laboratory Co., Ltd.

398, Hase, Atsugi-shi, Kanagawa-ken

(72) Inventor : Shunpei YAMAZAKI

c/o Semiconductor Energy Laboratory Co., Ltd.

398, Hase, Atsugi-shi, Kanagawa-ken

(72) Inventor : Jun KOYAMA

c/o Semiconductor Energy Laboratory Co., Ltd.

398, Hase, Atsugi-shi, Kanagawa-ken

(72) Inventor : Yasuyuki ARAI

c/o Semiconductor Energy Laboratory Co., Ltd.

398, Hase, Atsugi-shi, Kanagawa-ken

(54)[Title of the Invention] Semiconductor Device And Manufacturing Thereof

(57)[ABSTRACT]

[PURPOSE]

Providing a semiconductor device with a TFT structure with high reliability

[MEANS]

In a CMOS circuit formed on a substrate 101, a subordinate gate wiring line (a first wiring line) 102a and main gate wiring line (a second wiring line) 107a is provided in an n-channel TFT. The LDD regions 113 overlaps the first wiring line 102a and does not overlap the second wiring line 107a. Thus, applying a gate voltage to the first wiring line forms the GOLD structure, while not applying forms the LLD structure. In this way, the GOLD structure and the LLD structure can be used appropriately in accordance with the respective specifications required for the circuits.

[Scope of Claims]

[Claim 1]

A semiconductor device including a CMOS circuit formed by n-channel TFT and p-channel TFT, characterized in that:

the CMOS circuit has a structure that an active layer is sandwiched by a first wiring line and a second wiring line through an insulating layer in only the n-channel TFT,

the active layer includes a low concentration impurity

region that is in contact with the channel formation region; and

the low concentration impurity region is formed to overlap the first wiring line and not to overlap the second wiring line.

[Claim 2]

A semiconductor device according to claim 1, characterized in that the first wiring line is electrically connected with the second wiring line.

[Claim 3]

A semiconductor device including a CMOS circuit formed by n-channel TFT and p-channel TFT, characterized in that:

the CMOS circuit has a structure that an active layer is sandwiched by a first wiring line and a second wiring line through an insulating layer in only the n-channel TFT; and

the second wiring line has a portion of structure laminated with a first conductive layer and a second conductive layer, and a portion of structure wrapped a third conductive layer with the first conductive layer and the second conductive layer.

[Claim 4]

A semiconductor device according to claim 3, characterized in that the third conductive layer has a lower resistance value than a first conductive layer or the second conductive layer.

[Claim 5]

A semiconductor device according to claim 3,

characterized in that the first wiring line or the second wiring line is appropriately a conductive film mainly containing an element selected from the group consisting of tantalum (Ta), titanium (Ti), tungsten (W), molybdenum (Mo), and silicon (Si), or an alloy film or silicide film containing the above elements in combination.

[Claim 6]

A semiconductor device according to claim 3, characterized in that the third wiring line is appropriately a conductive film mainly containing aluminum (Al) or copper (Cu).

[Claim 7]

A semiconductor device having a pixel matrix circuit that includes a pixel TFT and a storage capacitor formed in n-channel TFT, characterized in that:

the pixel TFT has a structure that an active layer is sandwiched by a first wiring line and a second wiring line through an insulating layer,

the active layer includes a low concentration impurity region that is in contact with the channel formation region; and

the low concentration impurity region is formed to overlap the first wiring line and not to overlap the second wiring line.

[Claim 8]

A semiconductor device according to claim 7, characterized in that the first wiring line is kept at the

ground electric potential or at the source power supply electric potential.

[Claim 9]

A semiconductor device according to claim 7, characterized in that the first wiring line is kept at the floating electric potential.

[Claim 10]

A semiconductor device having a pixel matrix circuit that includes a pixel TFT and a storage capacitor formed in n-channel TFT, characterized in that:

the pixel TFT has a structure that an active layer is sandwiched by a first wiring line and a second wiring line through an insulating layer,

the second wiring line has a portion of structure laminated with a first conductive layer and a second conductive layer, and a portion of structure wrapped a third conductive layer with the first conductive layer and the second conductive layer.

[Claim 11]

A semiconductor device according to claim 10, characterized in that the third conductive layer has a lower resistance value than a first conductive layer or the second conductive layer.

[Claim 12]

A semiconductor device according to claim 10, characterized in that the first wiring line or the second wiring line is appropriately a conductive film mainly containing an

element selected from the group consisting of tantalum (Ta), titanium (Ti), tungsten (W), molybdenum (Mo), and silicon (Si), or an alloy film or silicide film containing the above elements in combination.

[Claim 13]

A semiconductor device according to claim 10, characterized in that the third wiring line is appropriately a conductive film mainly containing aluminum (Al) or copper (Cu).

[Claim 14]

A semiconductor device having a pixel matrix circuit and a driver circuit that are formed on the same substrate, characterized in that:

a pixel TFT included in the pixel matrix circuit and an n-channel TFT included in the driver circuit have a structure that an active layer is sandwiched by a first wiring line and a second wiring line through an insulating layer; and

the first wiring line connected to the pixel TFT is kept at the fixed electric potential or the floating electric potential, and the first wiring connected to the n-channel TFT included in the driver circuit is kept at the same level of electric potential as the second wiring line connected to the n-channel TFT included in the said driver circuit.

[Claim 15]

A semiconductor device according to claim 14, characterized in that the active layer includes a low concentration impurity region that is in contact with the channel

formation region; and

the low concentration impurity region is formed to overlap the first wiring line and not to overlap the second wiring line.

[Claim 16]

A semiconductor device according to claim 14, characterized in that the second wiring line has a portion of structure laminated with a first conductive layer and a second conductive layer, and a portion of structure wrapped a third conductive layer with the first conductive layer and the second conductive layer.

[Claim 17]

A semiconductor device according to claim 14, characterized in that the third conductive layer has a lower resistance value than a first conductive layer or the second conductive layer.

[Claim 18]

A semiconductor device according to claim 14, characterized in that the first wiring line or the second wiring line is appropriately a conductive film mainly containing an element selected from the group consisting of tantalum (Ta), titanium (Ti), tungsten (W), molybdenum (Mo), and silicon (Si), or an alloy film or silicide film containing the above elements in combination.

[Claim 19]

A semiconductor device according to claim 14, characterized in that the third wiring line is appropriately

a conductive film mainly containing aluminum (Al) or copper (Cu).

[Claim 20]

A semiconductor device, characterized in that the semiconductor device according to any one of claims 1 to 19 is an active matrix liquid crystal display or an active matrix EL display.

[Claim 21]

A semiconductor device, characterized in that the semiconductor device according to any one of claims 1 to 19 is a video camera, a digital camera, a projector, a projection TV, a goggle type display, an automobile navigation system, a personal computer, or a portable information terminal.

[Claim 22]

Manufacturing method of a semiconductor device including a CMOS circuit formed by n-channel TFT and p-channel TFT comprising:

a process of forming a first wiring line on a substrate,

a process of forming a first insulating layer on the first wiring line,

a process of forming active layers, an active layer of the n-channel TFT and an active layer of the p-channel TFT, on the first insulating layer,

a process of forming a second insulating layer by overlapping the active layer of n-channel TFT and the active layer of p-channel layer, and

a process of forming a second wiring line on the second

insulating layer; and

characterized in that the first wiring line is formed to cross only with the active layer of n-channel TFT.

[Claim 23]

Manufacturing method of a semiconductor device according to claim 22, characterized in that the second wiring line has a portion of structure laminated with a first conductive layer and a second conductive layer, and a portion of structure wrapped a third conductive layer with the first conductive layer and the second conductive layer.

[Claim 24]

Manufacturing method of a semiconductor device including a CMOS circuit formed by n-channel TFT and p-channel TFT comprising:

a process of forming a first wiring line on a substrate,

a process of forming a first insulating layer on the first wiring line,

a process of forming active layers, an active layer of the n-channel TFT and an active layer of the p-channel TFT, on the first insulating layer,

a process of forming a second insulating layer by overlapping the active layer of n-channel TFT and the active layer of p-channel layer, and

a process of forming a first conductive layer on the second insulating layer,

a process of forming a patterned third conductive layer on the first conductive layer, and

a process of forming a second conductive layer by overlapping the third conductive layer; and

characterized in that the first wiring line is formed to cross only with the active layer of n-channel TFT.

[Claim 25]

Manufacturing method of a semiconductor device according to claim 23 or 24, characterized in that the third conductive layer is used material with a lower resistance value than the first conductive layer or the second conductive layer.

[Claim 26]

Manufacturing method of a semiconductor device according to claim 23 or 24, characterized in that the first conductive layer or the second conductive layer is formed by a conductive film mainly containing an element selected from the group consisting of tantalum (Ta), titanium (Ti), tungsten (W), molybdenum (Mo), and silicon (Si), or an alloy film or silicide film containing the above elements in combination.

[Claim 27]

Manufacturing method of a semiconductor device according to claim 23 or 24, characterized in that the third conductive layer is appropriately a conductive film mainly containing aluminum (Al) or copper (Cu).

[Detailed Description of the Invention]

[0001]

[Technical Field to which the Invention belongs]

The present invention relates to a semiconductor device

having a circuit composed of a thin film transistor (hereinafter referred to as TFT). For example, the invention relates to an electro-optical device represented by a liquid crystal display panel and to electronic equipment mounted with the electro-optical device as a component.

[0002]

In this specification, a 'semiconductor device' refers to a device in general that utilizes semiconductor characteristics to function, and electro-optical devices, semiconductor circuits, and electronic equipment are semiconductor devices.

[0003]

[Prior Art]

A thin film transistor (hereinafter referred to as TFT) can be formed on a transparent glass substrate, and hence its application to an active matrix liquid crystal display (hereinafter referred to as AM-LCD) has been developed actively.

A TFT utilizing a crystalline semiconductor film (typically, a polysilicon film) can provide high mobility, making it possible to integrate functional circuits on the same substrate for high definition image display.

[0004]

An active matrix liquid crystal display device requires million TFTs for pixels alone when the screen is to have high definition. Its functional circuits also need TFTs to further increase the number of required TFTs. Each of these TFTs has to have secured reliability and operate stably in order to

realize stable operation of the liquid crystal display device.

[0005]

However, the TFT is considered as not so equal in terms of reliability to a MOSFET that is formed on a single crystal semiconductor substrate. The TFT experiences lowering of mobility and ON current when it is operated for a long period of time, as the MOSFET suffers from the same phenomena. One of causes of the phenomena is characteristic degradation due to hot carriers that accompany enlargement of a channel electric field.

[0006]

The MOSFET, on the other hand, has the LDD (lightly doped drain) structure as a well-known reliability improving technique. This structure adds a low concentration impurity region inside a source · drain region. The low concentration impurity region is called an LDD region. Some TFTs employ the LDD structure.

[0007]

Another known structure for the MOSFET is to make the LDD region somewhat overlap a gate electrode with a gate insulating film sandwiched therebetween. This structure can be obtained in several different modes. For example, structures called GOLD (Gate-drain overlapped LDD) and LATID (Large-tilt-angle implanted drain) are known. The hot carrier withstandingness can be enhanced by these structures.

[0008]

There have been attempts to apply these structures

for MOSFETs to TFTs. However, application of the GOLD structure (in this specification, a structure having an LDD region to which a gate voltage is applied is called a GOLD structure whereas a structure having merely an LDD region to which a gate voltage is not applied is called an LDD structure) to a TFT has a problem of OFF current (current flowing when the TFT is in an OFF state) being larger than in the LDD structure. For that reason, the GOLD structure is not suitable for a circuit in which OFF current should be as small as possible, such as a pixel matrix circuit of an AM-LCD.

[0009]

[Problems to be solved by the Invention]

An object of the present invention is to provide an AM-LCD having high reliability by constructing circuits of the AM-LCD from TFTs having different structures to suit the respective functions of the circuits. The invention aims to accordingly enhance the reliability of a semiconductor device (electronic equipment) having this AM-LCD.

[0010]

[Means for solving the Problems]

According to a structure of the present invention disclosed in this specification, a semiconductor device including a CMOS circuit formed by n-channel TFT and p-channel TFT, characterized in that:

the CMOS circuit has a structure that an active layer is sandwiched by a first wiring line and a second wiring line through an insulating layer in only the n-channel TFT,

the active layer includes a low concentration impurity region that is in contact with the channel formation region; and

the low concentration impurity region is formed to overlap the first wiring line and not to overlap the second wiring line.

[0011]

In the above structures, the first wiring line is electrically connected with the second wiring line. That is, a first wiring line and a second wiring line are in the same electric potential, so that it becomes possible to add the same voltage to active layers.

[0012]

According to another structure of the present invention, a semiconductor device including a CMOS circuit formed by n-channel TFT and p-channel TFT, characterized in that:

the CMOS circuit has a structure that an active layer is sandwiched by a first wiring line and a second wiring line through an insulating layer in only the n-channel TFT; and

the second wiring line has a portion of structure laminated with a first conductive layer and a second conductive layer, and a portion of structure wrapped a third conductive layer with the first conductive layer and the second conductive layer.

[0013]

In the above structures, the third conductive layer is used material with a lower resistance value than the first

conductive layer or the second conductive layer. Concretely, the first conductive layer or the second conductive layer is preferably a conductive film mainly containing an element selected from the group consisting of tantalum (Ta), titanium (Ti), tungsten (W), molybdenum (Mo), and silicon (Si), or an alloy film or silicide film containing the above elements in combination. And the third wiring line is preferably a conductive film mainly containing aluminum (Al) or copper (Cu).

[0014]

According to another structure of the present invention, a semiconductor device having a pixel matrix circuit that includes a pixel TFT and a storage capacitor formed in n-channel TFT, characterized in that:

the pixel TFT has a structure that an active layer is sandwiched by a first wiring line and a second wiring line through an insulating layer,

the active layer includes a low concentration impurity region that is in contact with the channel formation region; and

the low concentration impurity region is formed to overlap the first wiring line and not to overlap the second wiring line.

[0015]

In the above structures, the first wiring line is kept at the ground electric potential or at the source power supply electric potential, and is kept at the floating electric potential.

[0016]

According to another structure of the present invention, a semiconductor device having a pixel matrix circuit that includes a pixel TFT and a storage capacitor formed in n-channel TFT, characterized in that:

the pixel TFT has a structure that an active layer is sandwiched by a first wiring line and a second wiring line through an insulating layer,

the second wiring line has a portion of structure laminated with a first conductive layer and a second conductive layer, and a portion of structure wrapped a third conductive layer with the first conductive layer and the second conductive layer.

[0017]

According to another structure of the present invention, a semiconductor device having a pixel matrix circuit and a driver circuit that are formed on the same substrate, characterized in that:

a pixel TFT included in the pixel matrix circuit and an n-channel TFT included in the driver circuit have a structure that an active layer is sandwiched by a first wiring line and a second wiring line through an insulating layer; and

the first wiring line connected to the pixel TFT is kept at the fixed electric potential or the floating electric potential, and the first wiring connected to the n-channel TFT included in the driver circuit is kept at the same level of electric potential as the second wiring line connected to

the n-channel TFT included in the said driver circuit.

[0018]

In the above structures, the active layer includes a low concentration impurity region that is in contact with the channel formation region and the low concentration impurity region is formed to overlap the first wiring line and not to overlap the second wiring line.

[0019]

Further, the second wiring line has a portion of structure laminated with a first conductive layer and a second conductive layer, and a portion of structure wrapped a third conductive layer with the first conductive layer and the second conductive layer.

[0020]

According to another structure of the present invention, manufacturing method of a semiconductor device including a CMOS circuit formed by n-channel TFT and p-channel TFT comprising:

a process of forming a first wiring line on a substrate,

a process of forming a first insulating layer on the first wiring line,

a process of forming active layers, an active layer of the n-channel TFT and an active layer of the p-channel TFT, on the first insulating layer,

a process of forming a second insulating layer by overlapping the active layer of n-channel TFT and the active layer of p-channel layer, and

a process of forming a second wiring line on the second insulating layer; and

characterized in that the first wiring line is formed to cross only with the active layer of n-channel TFT.

[0021]

In the above structures, the second wiring line has a portion of structure laminated with a first conductive layer and a second conductive layer, and a portion of structure wrapped a third conductive layer with the first conductive layer and the second conductive layer.

[0022]

According to another structure of the present invention, manufacturing method of a semiconductor device including a CMOS circuit formed by n-channel TFT and p-channel TFT comprising:

a process of forming a first wiring line on a substrate,

a process of forming a first insulating layer on the first wiring line,

a process of forming active layers, an active layer of the n-channel TFT and an active layer of the p-channel TFT, on the first insulating layer,

a process of forming a second insulating layer by overlapping the active layer of n-channel TFT and the active layer of p-channel layer, and

a process of forming a first conductive layer on the second insulating layer,

a process of forming a patterned third conductive layer

on the first conductive layer, and
a process of forming a second conductive layer by
overlapping the third conductive layer; and
characterized in that the first wiring line is formed
to cross only with the active layer of n-channel TFT.

[0023]

[Embodiment Mode of the Invention]

Embodiment Mode 1

An embodiment mode of the present invention will be described taking as an example a CMOS circuit (inverter circuit) in which an n-channel TFT (hereinafter referred to as NTFT) is combined with a p-channel TFT (hereinafter referred to as PTFT).

[0024]

A sectional structure thereof is shown in Fig. 1A and a top view thereof is shown in Fig. 1B. The description will be given using symbols common to Fig. 1A and Fig. 1B. The sectional views taken along the lines A-A', B-B', and C-C' in Fig. 1B correspond to the sectional views A-A', B-B', and C-C' in Fig. 1A, respectively.

[0025]

In Fig. 1A, 101 denotes a substrate; 102a, 102b, and 102c, first wiring lines; 103, a first insulating layer; 104, an active layer of NTFT; 105, an active layer of PTFT; and 106, a second insulating layer.

[0026]

On that, a second wiring line 107a laminated with a

first conductive layer 107a1 and a second conductive layer 107a2, similarly a second wiring line 107b laminated with a first conductive layer 107b1 and a second conductive layer 107b2, a second wiring line 107c laminated with a first conductive layer 107c1 and a second conductive layer 107c2, and a second wiring line 107d which has a structure of sandwiching a third conductive layer d3 with a first conductive layer 107d1 and a second conductive layer 107d2.

[0027]

108 is a first interlayer insulating layer, 109 to 111 are third wiring lines, 109 and 110 are source wiring lines (including source electrodes), and 111 is a drain wiring line (including a drain electrode).

[0028]

In the CMOS circuit structured as above, a glass substrate, a quartz substrate, a metal substrate, a stainless steel substrate, a plastic substrate, a ceramic substrate, or a silicon substrate may be used as the substrate 101. When a silicon substrate is used, it is appropriate to oxidize its surface to form a silicon oxide film in advance.

[0029]

Although the first wiring line is a wiring line of the same pattern as shown in Fig. 1B, it is sectioned into 102a, 102b, and 102c for the sake of explanation. Here, the first wiring line 102a represents an intersection with the active layer, the first wiring line 102b represents a connection between the TFTs, and the first wiring line 102c represents

a power supplying portion common to the circuits.

[0030]

The first wiring line 102a here functions as a subordinate gate electrode of the NTFT. That is, the electric charge of the channel formation region 112 is controlled by the first wiring line 102a and by the second wiring line (main gate electrode) 107a that is given with the same level of electric potential as the first wiring line 102a, so that only the first wiring line 102a can apply a gate voltage (or a predetermined voltage) to the LDD regions 113.

[0031]

Accordingly, the GOLD structure cannot be obtained with the second wiring line 107a alone functioning as the gate electrode (the LDD structure is obtained instead), not until the first wiring line 102a joins with the second wiring line 113a. Advantages of this structure will be described later. The first wiring line 102a also functions as a light-shielding layer.

[0032]

Any material can be used for the first wiring line as long as it has conductivity. However, a desirable material would be one having heat resistance against the temperature in a later process. For example, a conductive film mainly containing (50% or more composition ratio) an element selected from the group consisting of tantalum (Ta), titanium (Ti), tungsten (W), molybdenum (Mo), and silicon (Si), or an alloy film or silicide film containing the above elements in

combination.

[0033]

Given as a feature of this embodiment mode is providing the first wiring line 102a in the NTFT only and not in the PTFT. Although the PTFT in Fig. 1A does not have an offset region and an LDD region either, one of the regions or both of the regions may be formed in the PTFT.

[0034]

Structured as above, the first wiring line is led from the power supplying portion through the connection to the NTFT to function as a subordinate gate electrode of the NTFT as shown in Fig. 1B.

[0035]

The second wiring line is also a wiring line of the same pattern but, for the sake of explanation, is sectioned almost the same way the first wiring line is sectioned. In Fig. 1A, 107a represents an intersection with the active layer of the NTFT 104, 107b represents an intersection with the active layer of the PTFT 105; 107c represents a connection between the TFTs, and 107d represents a power supplying portion.

[0036]

A second wiring line is formed by laminating two kinds of conductive layers basically. Any upper layer and any lower layer can be used as long as it has a conductivity, a tantalum (Ta) film, a chromium (Cr) film, a titanium (Ti) film, a tungsten (W) film, a molybdenum (Mo) film, and a silicon (Si) film may be used in any combination to form the second wiring lines.

An alloy film or silicide film of those may also be used.

[0037]

It is necessary to select material possible to pattern to the same form after laminating. That is, the combination, which after laminating enables to etch collectively or to etch the side of lower layers by masking the side of upper layers, is desirable. And a conductive layer provided in lower layers must have a positive selective ratio of etching with the third conductive layer 107d3.

[0038]

The third conductive layer 107d3 is a conductive film mainly containing aluminum (Al) or copper (Cu), which component ratio is more than 50%, and the second wiring line is formed by structure wrapped with the first conductive layer 107d1 and the second conductive layer 107d2 (hereinafter referred to as a cladding structure). This second wiring line 107d forms a wiring line equal to the part of power supply.

[0039]

The CMOS circuit is an inverter circuit much used as a driver circuit of AM-LCD and other signal process circuits. Since these driver circuit and signal process circuit are integrated in high density, it is desireble to make the width of the wiring line narrow to the utmost. Therefore, the part of crossing (a gate electrode portion) and the part of connecting (a portion drawing wiring lines) with active layers are designed as narrow as possible. And the length of a wiring line itself in these parts is not so long that it is hardly affected by

resistance of wiring lines.

[0040]

In the power supply portion, however, the length of a wiring line itself is so long that it is much affected by resistance of wiring lines. So that, in the present embodiment mode, material mainly containing aluminum and copper with low resistance is used to reduce resistance of wiring lines. In structure such as the second wiring line 107d, the width of wiring lines is a little wide, but it is no problem because the power supply portion is formed in the outside of complicatedly integrated circuits.

[0041]

Like an AM-LCD having a diagonal size of 4 inch or less, in the case of applying the present invention to the semiconductor device with wholly small circuits and without extremely long wiring lines, a wiring line as the power supply portion is also so short that it is unnecessary to use the above-mentioned cladding structure. In other words, it can be said that the structure as shown in Figure 1 is effective in an AM-LCD having a diagonal size of 4 inch or more.

[0042]

As described above, the CMOS circuit of this embodiment mode has the two characteristics as follows;

1. The first wiring line (subordinate gate wiring line) is provided only in the NTFT and the same level of voltage as the second wiring line (main gate wiring line) or a predetermined voltage is applied to the first wiring line.

thereby giving the NTFT the GOLD structure.

2. The gate electrode portion and the connecting portion of the second wiring line are made narrow and integrated, and the power supply portion is made low resistance by a structure sandwiching the third conductive layer having low resistance with the first and the second conductive layers (the cladding structure).

[0043]

Embodiment Mode 2

An embodiment mode of the present invention will be described taking as an example a pixel matrix circuit that uses an NTFT for a pixel TFT. This pixel matrix circuit is formed on the same substrate as the CMOS circuit described in Embodiment Mode 1 at the same time. Therefore, see the description in Embodiment Mode 1 for details of the wiring lines of the identical names.

[0044]

A sectional structure of the pixel matrix circuit is shown in Fig. 2A and a top view thereof is shown in Fig. 2B. The description will be given using symbols common to Fig. 2A and Fig. 2B. The sectional views taken along the lines A-A' and B-B' in Fig. 2B correspond to the sectional views A-A' and B-B' in Fig. 2A, respectively

[0045]

In Fig. 2A, 201 denotes a substrate; 202a, 202b and 202c, first wiring lines; 203, a first insulating layer; 204, an active layer of a pixel TFT (NTFT); and 205, a second insulating

layer. The pixel TFT shown here as an example has a double gate structure, but it may have a single gate structure or a multi-gate structure in which three or more TFTs are connected in series.

[0046]

On the second insulating layer 203, a second wiring line 206a having a structure of sandwiching a third conductive layer 206a3 with a first conductive layer 206a1 and a second conductive layer 206a2, a second wiring line 206b laminated a first conductive layer 206b1 and a second conductive layer 206b2, a second wiring line 206c laminated a first conductive layer 206c1 and a second conductive layer 206c2, and a capacitor wiring line 207 laminated a first conductive layer 207a and a second conductive layer 207b.

[0047]

Here, a storage capacitor is formed between the capacitor wiring line 207 and an active layer 204 (namely, a region extended from the drain region 207) with the first insulating layer 205 as dielectric. In this case, the first insulating layer 205 is put on a silicon nitride film as a laminated structure with a silicon oxide film and a second wiring line is formed after removing a silicon oxide film to be the part of the storage capacitor selectively, and then it is realized that the storage capacitor has only a silicon nitride film with high dielectric constant as a dielectric.

[0048]

Denoted by 208 is a first interlayer insulating layer,

209 and 210, third wiring lines, 209, a source wiring line (including a source electrode), and 215, a drain wiring line (including a drain electrode). Formed thereon are a second interlayer insulating layer 211, a black mask 212, a third interlayer insulating layer 213, and a pixel electrode 214.

[0049]

Although the first wiring line is a wiring line of the same pattern as shown in Fig. 2B, it is sectioned into 202a, 202b, and 202c for the sake of explanation. Here, the first wiring line 202a represents a wiring line portion that does not function as a gate electrode, whereas 202b and 202c are intersections with the active layer 204 and function as the gate electrodes.

[0050]

The first wiring lines shown here are formed at the same time the first wiring lines described in Embodiment Mode 1 are formed. Therefore the material and other explanations thereof are omitted.

[0051]

The first wiring lines 202b and 202c function as light-shielding films of the pixel TFT. In other words, they do not have the function of the subordinate gate wiring line as the one described in Embodiment Mode 1, and are given a fixed electric potential or set to a floating state (an electrically isolated state). The fixed electric potential is given a ground electric potential or a power supply electric potential (at the same level of electric potential as a source

wiring line). By that, holes generated by hot carrier injection can be removed from the channel formation regions and as a result electric charge is neutralized to disappear hot carrier.

[0052]

Electric charges in the channel formation regions 215 and 216 are thus controlled by the first wiring lines 206b and 206c to provide the LDD structure. Therefore an increase in OFF current can be contained effectively.

[0053]

The pixel matrix circuit shown in this embodiment mode thus has an NTFT as its pixel TFT, and the structure of the NTFT is the same as the NTFT of the CMOS circuit explained in Embodiment Mode 1. However, the NTFT in the pixel matrix circuit is different from the NTFT in the CMOS circuit where the GOLD structure is obtained by using the first wiring line as a subordinate gate wiring line through application of a predetermined voltage, in that the LDD structure is obtained by giving the first wiring lines a fixed electric potential or setting them to a floating state.

[0054]

In other words, the biggest feature of the present invention is that NTFTs having the same structure are formed on the same substrate and then they are respectively given the GOLD structure or the LDD structure by being applied or not being applied a voltage to their first wiring lines (subordinate gate wiring lines). This makes the optimal circuit design possible without increasing the number of manufacture

steps.

[0055]

In second wiring lines 206a, 206b and 206c, 206b and 206c are gate electrode portions and 206a is a wiring line portion. Since it is desirable that resistance of the wiring line is lowered as much as possible in the wiring line portion, a cladding structure is adopted. But in the gate electrode portion, since the width of wiring lines decides the length of a channel, it is designed to make the width of lines narrow by laminating the first conductive layer and the second conductive layer.

[0056]

Details and effect of the cladding structure is explained in Embodiment Mode 1, therefore explanation is omitted here. And as described in Embodiment Mode 1, needless to say, it is unnecessary that an AM-LCD having a diagonal size of 4 inch or less adopts a cladding structure.

[0057]

The structures of the present invention in the above will be described in detail in the following embodiments.

[0058]

Embodiment 1

In this embodiment, a method of manufacturing the CMOS circuit described in Embodiment Mode 1 will be described. The description will be given with reference to Fig. 3.

[0059]

First, a glass substrate is prepared as a substrate

301. On the base film, first wiring lines 302a, 302b, and 302c are formed. The material of the first wiring lines is a laminated film, which a tungsten silicide (WSix) film and a silicon film are laminated in order by sputtering. The order of laminating can of course be reversed and the CVD method can be used as means of depositing. And to form oxide film on a surface after forming the above-mentioned laminated films is effective in the sense of protection of the surface.

[0060]

Other metal films, alloy films, or the like may of course be used because the first wiring lines 302a, 302b, and 302c can be formed of any film as long as it has conductivity. Achromium film or a tantalum film that can be formed by patterning with a small taper angle is effective in improving the levelness.

[0061]

A second insulating layer 303 is formed next from an insulating film containing silicon. The first insulating layer 303 functions as a gate insulating film in using the first wiring line 302a as a subordinate gate wiring line as well as performs as a base film to protect an active layer.

[0062]

This embodiment employs a layered structure in which a silicon nitride film with a thickness of 50 nm is formed first and a silicon oxide film with a thickness of 80 nm is formed thereon. It may of course be a silicon oxynitride film expressed as SiO_xN_y ($x/y = 0.01$ to 100). In this case, the withstand voltage thereof can be enhanced by making the nitrogen

content larger than the oxygen content.

[0063]

Next, an amorphous silicon film (not shown in the drawing) with a thickness of 50 nm is formed and a crystalline silicon film is formed by crystallizing using a known laser crystallization technique. And the crystalline silicon film is patterned to form active layers 304 and 305. In process of crystallization in this embodiment, an amorphous silicon film is irradiated by processing the pulse-oscillating typed excimer laser light into a linear beam.

[0064]

Although this embodiment uses as a semiconductor film for the active layers a crystalline silicon film obtained by crystallizing an amorphous silicon film, other semiconductor films such as a microcrystalline silicon film may be used or a crystalline silicon film may be formed directly. Other than silicon films, a compound semiconductor film such as a silicon germanium film may be used.

[0065]

A second insulating layer 306 is formed next from a silicon oxide film, a silicon oxynitride film, or a silicon nitride film, or a laminate of those so as to cover the active layers 304 and 305. A silicon oxynitride film is formed here by plasma CVD to a thickness of 100 nm. The second insulating layer functions as a gate insulating film when a second wiring line is used as a main gate wiring line.

[0066]

Next, a tantalum film 307 with a thickness of 20 nm is formed as a first conductive layer and thereon a third conductive layer 308 made by an aluminum film doped scandium is formed. And a second conductive layer 309 made by a tantalum film is formed to have a thickness of 200 nm. Either sputtering or CVD can be used to form these films.

[0067]

After the state of Fig. 3A is thus obtained, resist masks 310 and 311 are formed to etch the first conductive layer 307 and the second conductive layer 309. In this way, a second wiring line 312 is formed from the laminated structure of the tantalum film. The second wiring line 312 corresponds to the second wiring line (main gate wiring line) 107a in Fig. 1A.

[0068]

Next, the film is doped with an element belonging to Group 15 (typically, phosphorus or arsenic) to form low concentration impurity regions 313. A channel formation region of the NTFT is defined simultaneously. In this embodiment, phosphorus is used as the element belonging to Group 15, and ion doping that does not involve mass separation is employed.

(Fig. 3B)

[0069]

Doping conditions include setting the acceleration voltage to 90 keV, and adjusting the dose so that phosphorus is contained in a concentration of 1×10^{16} to 1×10^{19} atoms/cm³ (preferably 5×10^{17} to 5×10^{18} atoms/cm³). This concentration later sets the impurity concentration in the LDD regions, and

hence is needed to be controlled precisely.

[0070]

The resist masks 310 and 311 are then removed and resist masks 315 to 318 are newly formed. The first conductive layer 307 and the second conductive layer 309 are etched to form second wiring lines 319 to 321. The second wiring lines 319, 320 and 321 respectively correspond to the second wiring lines 107b, 107c and 107d of Fig. 1A.

[0071]

Next, the film is doped with an element belonging to Group 13 (typically boron or gallium) to form an impurity region 322. A channel formation region 323 of the PTFT is defined simultaneously. In this embodiment, boron is used as the element belonging to Group 13, and ion doping that does not involve mass separation is employed. (Fig. 3C)

[0072]

Doping conditions include setting the acceleration voltage to 75 keV, and adjusting the dose so that boron is contained in a concentration of 1×10^{19} to 5×10^{21} atoms/cm³ (preferably 1×10^{20} to 1×10^{21} atoms/cm³).

[0073]

The resist masks 315 to 318 are then removed and resist masks 324 to 327 are formed again. In this embodiment, the resist masks are formed by a back side exposure method. For the resist masks 324, 326 and 327, the first wiring lines serve as masks whereas the second wiring lines serve as masks for the resist mask 325. With the first wiring lines as masks,

a small amount of light reaches behind the wiring lines and hence the line width in this case is narrower than the width of the first wiring lines. The line width can be controlled by exposure conditions.

[0074]

The resist masks can of course be formed by using masks instead. In this case, the degree of freedom in pattern design is raised but the number of masks is increased.

[0075]

After the resist masks 324 to 327 are thus formed, a step of doping with an element belonging to Group 15 (phosphorus in this embodiment) is conducted. Here, the acceleration voltage is set to 90 keV, and the dose is adjusted so that phosphorus is contained in a concentration of 1×10^{19} to 5×10^{21} atoms/cm³ (preferably 1×10^{20} to 1×10^{21} atoms/cm³).

[0076]

Through this step, a source region 328, a drain region 329 and an LDD region 330 of the NTFT are defined. And a source region 331 and a drain region 332 of the PTFT are defined. A source region and a drain region of the PTFT are also doped with phosphorus in this step. However, the P type conductivity thereof can be maintained and is not reversed to the N type conductivity if they are doped with boron in a higher concentration in the previous step.

[0077]

After the NTFT and the PTFT are thus doped with impurity elements each imparting one of the conductivity types, the

impurity elements are activated by furnace annealing, laser annealing, or lamp annealing, or by using these annealing methods in combination.

[0078]

The state of Fig. 3D is obtained in this way. Then a first interlayer insulating layer 333 is formed from a silicon oxide film, a silicon nitride film, a silicon oxynitride film, or a resin film, or from a laminate of those films. Contact holes are opened in the layer to form source wiring lines 334 and 335 and a drain wiring line 336. (Fig. 3E).

[0079]

The first interlayer insulating layer 333 in this embodiment has a two-layer structure in which a silicon nitride film with a thickness of 50 nm is formed first and a silicon oxide film with a thickness of 950 nm is formed thereon. The source wiring lines and the drain wiring line in this embodiment are formed by patterning a three-layer structure laminate obtained by successively forming, by sputtering, a titanium film with a thickness of 100 nm, an aluminum film containing titanium and having a thickness of 300 nm, and another titanium film with a thickness of 150 nm.

[0080]

A CMOS circuit structured as shown in Fig. 3E is thus completed. The CMOS circuit of this embodiment has the structure shown in Fig. 1A, and explanations thereof are omitted here because it is described in detail in Embodiment Mode 1. To obtain the structure of Fig. 1A, the manufacturing process

is not necessarily limited to the process of this embodiment.

For example, the NTFT may take the double gate structure while the PTFT is given the single gate structure.

[0081]

The CMOS circuit described in this embodiment serves as a basic unit circuit for constructing a driver (driving) circuit (including a shift register circuit, a buffer circuit, a level shifter circuit, a sampling circuit, etc.) and other signal processing circuits (such as a divider circuit, a D/A converter circuit, a γ correction circuit, and an operation amplifier circuit) in an AM-LCD.

[0082]

In this embodiment, the first wiring line of the NTFT is used as a subordinate gate wiring line to thereby obtain a substantial GOLD structure and prevent degradation by hot carrier injection. Accordingly, a circuit having a very high reliability can be formed.

[0083]

By narrowing the width of wiring lines in the high integrated part and by a cladding structure in the not so high integrated part (an electric power supplying portion), resistance of wiring lines is reduced, and it is a structure to reduce the delayed time because of resistance of wiring lines.

[0084]

Embodiment 2

In this embodiment, a method of manufacturing the pixel

matrix circuit described in Embodiment Mode 2 will be described.

The description will be given with reference to Figs. 4 and 5. The pixel matrix circuit is formed on the same substrate as the CMOS circuit shown in Embodiment 1 at the same time.

Therefore, the description will be given in relation to the manufacturing process of Embodiment 1 and the symbols identical with those in Fig. 3 are used when necessary.

[0085]

First, second wiring lines 401a, 401b, and 401c are formed on the glass substrate 301. The material of the second wiring lines is as described in Embodiment 1. Next, a first insulating layer 303, an active layer of a pixel TFT 402, a second insulating layer 306, a first conductive layer 307, a third conductive layer 403 and a second conductive layer 309 are formed consulting Embodiment 1. Thus obtained is the state of Fig. 4A. The CMOS circuit being formed simultaneously is now in the state of Fig. 3A.

[0086]

Next, resist masks 404 to 407 are formed to etch the first conductive layer 307 and the second conductive layer 309. Second wiring lines 408 and 409 and a capacitor wiring line 410 are thus formed. The second wiring line 408 corresponds to the second wiring line 206b in Fig. 2A and the second wiring line 409 corresponds to the second wiring line 206c in Fig. 2A. And the capacitor wiring line 410 corresponds to the capacitor wiring line 207 in Fig. 2A.

[0087]

The phosphorus doping step for forming LDD regions later is conducted next to form low concentration impurity regions 411 to 413. Channel formation regions 414 and 415 are defined simultaneously. This step corresponds to the step of Fig. 3B. Accordingly, the material and the thickness of the second wiring lines and phosphorus doping conditions in the step of Fig. 4B are the same as Embodiment 1.

[0088]

A step corresponding to the step of Fig. 3C is conducted next. First, resist masks 416 and 417 are formed to etch the first conductive layer 307 and the second conductive layer 309, and thus a second wiring line 418 is formed. This second wiring line 418 corresponds to the second wiring line 206a in Fig. 2A.

[0089]

Next, the boron doping step for forming a CMOS circuit is conducted. In this Embodiment, the entire surface of the pixel matrix circuit is covered with a resist mask 417 because a pixel TFT is formed in NTFT. (Fig. 4C)

[0090]

The resist mask 416 and 417 are then removed. After that, resist masks 419 to 422 are formed by the back side exposure method. Then the phosphorus doping step is conducted to form a source region 423, a drain region 424 and a LDD region 425.

The back side exposure conditions and the phosphorus doping conditions are set in accordance with the step of Fig. 3D in Embodiment 1.

[0091]

The source region and the drain region in Fig. 4D are named so for the sake of explanation. However, a source region and a drain region in a pixel TFT are reversed when the pixel switches between charging and discharging and hence there is no definite discrimination between the two regions.

[0092]

After the doping steps of phosphorus and boron are finished, the impurity elements are activated as in Embodiment 1. Then the first interlayer insulating film 333 is formed and contact holes are opened therein to form a source wiring line 426 and a drain wiring line 427. The state of Fig. 4E is thus obtained. The CMOS circuit at this point is in the state of Fig. 3E.

[0093]

Next, a second interlayer insulating layer 428 is formed to cover the source wiring line 426 and the drain wiring line 427. In this embodiment, as a passivation film, a silicon nitride film with a thickness of 30 nm is formed and an acrylic film with a thickness of 700 nm is formed thereon. Of course, an insulating film mainly containing silicon such as a silicon oxide film, or other resin films may be used. Other resin films that are usable are a polyimide film, a polyamide film, a BCB (benzocyclobutene) film, and the like.

[0094]

Next, a black mask 429 is formed from a titanium film having a thickness of 100 nm. Other films may be used to form

the black mask 427 if they have light-shielding property. Typically, a chromium film, an aluminum film, a tantalum film, a tungsten film, a molybdenum film, a titanium film, or a laminate of these films is used.

[0095]

A third interlayer insulating layer 430 is then formed. Though an acrylic film with a thickness of 1 μm is used in this embodiment, the same material as the second interlayer insulating layer may be used instead.

[0096]

A contact hole is next formed in the third interlayer insulating layer 430 to form a pixel electrode 431 from a transparent conductive film (typically an ITO film). The pixel electrode 431 is electrically connected to the drain wiring line 427. The contact hole accordingly has to be very deep, and hence it is effective in preventing failure such as break of the pixel electrode to form the contact hole such that its inner wall is tapered or curved.

[0097]

A pixel matrix circuit structured as shown in Fig. 5A is thus completed. Although the example shown in this embodiment is of manufacturing a transmissive AM-LCD using a transparent conductive film for a pixel electrode, a reflective AM-LCD can readily be manufactured if a metal film having high reflectance (such as a metal film mainly containing aluminum) is used for the pixel electrode.

[0098]

The substrate that has reached the state of Fig. 5A is called an active matrix substrate. This embodiment also describes a case of actually manufacturing an AM-LCD.

[0099]

After the state of Fig. 5A is obtained, an oriented film 432 with a thickness of 80 nm is formed. An opposite substrate is fabricated next. The opposite substrate prepared is composed of a glass substrate 433 on which a color filter 434, a transparent electrode (opposite electrode) 435, and an oriented film 436 are formed. The oriented films 432 and 435 are subjected to rubbing treatment, and the active matrix substrate is bonded to the opposite substrate using a seal (sealing member). Then a liquid crystal 436 is held between the substrates. A spacer for maintaining the cell gap may be provided if necessary.

[0100]

An AM-LCD structured as shown in Fig. 5B (the part corresponding to a pixel matrix circuit) is thus completed. The second interlayer insulating layer 428 and the third interlayer insulating layer 430 of this embodiment also cover the CMOS circuit shown in Embodiment 1 in actuality. Wiring lines may be formed at the same time the black mask 429 and the pixel electrode 431 are formed from the same materials that constitute the black masks and the pixel electrode, so that the wiring lines are used as lead out wiring lines (fourth wiring lines or fifth wiring lines) of a driver circuit and a signal processing circuit of the AM-LCD.

[0101]

In this embodiment, the first wiring lines 401b and 401c provided in the pixel TFT are set to the fixed electric potential (the ground electric potential or the source electric potential). This makes it possible to draw holes generated in the drain end due to hot carrier injection to the first wiring lines, thereby improving the reliability. The first wiring lines 401b and 401c may of course be set to a floating state, but the hole drawing effect cannot be expected in this case.

[0102]

As shown in the upper figure of Fig. 2B, the second wiring line 418 deposited in the wiring line portion adopts the cladding structure, which can reduce resistance of wiring lines as much as possible.

[0103]

Embodiment 3

In this embodiment, an AM-LCD is provided with a pixel matrix circuit and a CMOS circuit (a driver circuit and a signal processing circuit constructed of CMOS circuits, to be exact) according to the present invention, and the appearance thereof is shown in Fig. 6.

[0104]

On an active matrix substrate 601, a pixel matrix circuit 602, a signal line driving circuit (source driver circuit) 603, scanning line driving circuits (gate driver circuits) 604, and a signal processing circuit (including a signal divider

circuit, a D/A converter circuit, and a γ correction circuit) 605 are formed. An FPC (flexible printed circuit) 606 is attached to the active matrix substrate. Denoted by 607 is an opposite substrate.

[0105]

The various circuits formed on the active matrix substrate 601 are illustrated in detail in a block diagram of Fig. 7.

[0106]

In Fig. 7, 701 denotes a pixel matrix circuit that functions as an image display unit. 702a, 702b, and 702c represent a shift register circuit, a level shifter circuit, and a buffer circuit, respectively. The three together constitute a gate driver circuit.

[0107]

The block diagram of the AM-LCD in Fig. 7 has a pixel matrix circuit sandwiched between gate driver circuits, which share the same gate wiring lines. This means that application of voltage to the gate wiring lines is still possible even after one of the gate drivers fails, thereby giving the AM-LCD redundancy.

[0108]

703a, 703b, 703c, and 703d represent a shift register circuit, a level shifter circuit, a buffer circuit, and a sampling circuit, respectively. The four together constitute a source driver circuit. A precharge circuit 14 is placed across the pixel matrix circuit from the source driver circuit.

[0109]

The reliability of an AM-LCD having circuits as those shown in Fig. 6 can be greatly improved by employing the present invention. In this case, CMOS circuits constituting a driver circuit and a signal processing circuit are made in accordance with Embodiment 1 and a pixel matrix circuit is made in accordance with Embodiment 2.

[0110]

Embodiment 4

This embodiment gives a description on a case where a CMOS circuit is structured differently from Embodiment 1 and a pixel matrix circuit is structured differently from Embodiment 2. To be specific, circuits are given different structures in accordance with the respective specifications the circuits demand.

[0111]

The basic structure of the CMOS circuit is identical with the structure shown in Fig. 1A and the basic structure of the pixel matrix circuit is identical with the structure shown in Fig. 2A. Therefore only the part that needs explanation is denoted by a symbol and explained in this embodiment.

[0112]

The structure shown in Fig. 8A lacks an LDD region on the source side of the TFT and has an LDD region 801 only on the drain side. The CMOS circuit, which is used in a driver circuit and a signal processing circuit, is required to operate at high speed and hence resist components that can cause reduction

in operation speed have to be removed as much as possible.

[0113]

In the case of the CMOS circuit according to the present invention, a gate voltage is applied to a first wiring line functioning as a subordinate gate wiring line to obtain the GOLD structure and prevent degradation due to hot carrier injection. However, it is sufficient if an LDD region that overlaps a gate electrode is formed at an end of a channel formation region on the drain region side where hot carriers are injected.

[0114]

Accordingly, an LDD region at an end of the channel formation region on the source region side is not indispensable.

On the contrary, the LDD region on the source region side might work as a resist component. The structure shown in Fig. 8A is therefore effective in improving the operation speed.

[0115]

The structure of Fig. 8A cannot be applied to a circuit that behaves like a pixel TFT in which a source region and a drain region are switched. Since a source region and a drain region of a CMOS circuit are normally fixed, the CMOS circuit can adopt the structure of Fig. 8A.

[0116]

Fig. 8B is basically identical with Fig. 8A but the width of an LDD region 802 in Fig. 8B is narrower than in Fig. 8A. Specifically, the width is set to 0.05 to 0.5 μm (preferably

0.1 to 0.3 μm). The structure in Fig. 8B is capable of not only reducing the resist component on the source region side but also reducing the resist component on the drain region side as much as possible.

[0117]

This structure is actually suitable for a circuit that is driven at as low voltage as 3 to 5 V and is required to operate at high speed, such as a shift register circuit. Because of the low operation voltage, the narrow LDD region (LDD region that overlaps a gate electrode, strictly speaking) does not raise the problem related to hot carrier injection.

[0118]

Of course, LDD regions in the NTFT may be completely omitted in some cases if the omission is limited to the shift register circuit. In this case, the NTFT of the shift register circuit has no LDD region while other circuits in the same driver circuit employ the structure shown in Fig. 1A or the structure shown in Fig. 8B.

[0119]

Next, Fig. 8C shows an example of a CMOS circuit with its NTFT having the double gate structure and PTFT having the single gate structure. In this case, LDD regions 805 and 806 are provided only at ends of channel formation regions 803 and 804 which are closer to drain regions.

[0120]

The width of an LDD region is determined by the amount of light that reaches around in the back side exposure step

as shown in Fig. 3D. However, if resist masks are formed by mask alignment, the masks can be designed freely. Forming an LDD region only on one side is easy also in the structure shown in Fig. 8C if a mask is used.

[0121]

However, forming an LDD region only on one side by the back side exposure method is possible when gate wiring lines (second wiring lines) 807a and 807b are formed so as not to coincide with first wiring lines 808 and 809 as in this embodiment.

[0122]

This structure can eliminate the resist component by an LDD region on the source side and the double gate structure has an effect of diffusing and easing the electric field applied between the source and the drain.

[0123]

The structure in Fig. 8D is a mode of a pixel matrix circuit. In the structure of Fig. 8D, LDD regions 809 and 810 are provided on either the side closer to the source region or the side closer to the drain region. In other words, no LDD region is provided between two channel formation regions 811 and 812.

[0124]

In the case of a pixel TFT, a source region and a drain region are frequently switched because charging and discharging are repeated. Accordingly, when the pixel TFT has a structure of Fig. 8D, the LDD region can always be in the channel formation

region on the drain region side whichever region serves as the drain region. On the other hand, it is effective in increasing ON current (current flowing when the TFT is in an ON state) to omit an LDD region that can be a resist component between the channel formation regions 811 and 812 because there is no electric field concentration between the channel formation regions.

[0125]

An LDD region is not provided at an end of the channel formation region on the source region side in the structures of Figs. 8A to 8D. However, the LDD region may be provided there if it has a narrow width. This structure may be obtained by forming resist masks through mask alignment or by the back side exposure method after the position of the first wiring lines and the second wiring lines is adjusted.

[0126]

Needless to say, the structure of this embodiment can be combined with Embodiments 1 and 2 and applied to the AM-LCD shown in Embodiment 3.

[0127]

Embodiment 5

This embodiment shows with reference to Fig. 9 a case of forming a storage capacitor with a different structure from a pixel matrix circuit shown in Embodiment 2. Since the fundamental structure is in the same way as Fig. 2A, only necessary parts are denoted by the symbols in this embodiment.

[0128]

The structure shown in Fig. 9A uses a capacitor wiring line 901, a first insulating layer 902 and an active layer 903 (strictly speaking, the portion extended from a drain region), which a storage capacitor is formed in the same layer as the first wiring line.

[0129]

This structure has the advantage of having conductivity by doping elements belonging to Group 13 or 15 into a portion of active layers at high concentration, which functions as an electrode of the storage capacitor. The elements belonging to Group 13 or 15 may of course be formed at the same time as the process of forming a source region or a drain region.

[0130]

In the case of the structure described in "Embodiment Mode 2", the active layer which functions as the electrode of the storage capacitor is not doped the impurity elements which give conductivity because the second wiring line performs a mask, and must keep the state that an inverse layer is formed in the active layer by adding a voltage at all times. In the structure of Fig. 9A, however, the active layer itself, which functions as the electrode of the storage capacitor, has conductivity, and is not needed to add a voltage and has only to be fixed in the ground electric potential.

[0131]

Thus, it can be said that it is an effective structure to lower electricity consumption because the voltage is unnecessary to add too much.

[0132]

The structure of Fig. 9B is an example of combining the structure of the storage capacitor shown in Fig. 2A with the structure of the storage capacitor shown in Fig. 9A. Concretely, a first storage capacitor is formed by a first capacitor wiring line 904, which is in the same layer as the first wiring line, a first insulating layer 905 and an active layer 906, and a second storage capacitor is formed by an active layer 906, a second insulating layer 907 and a second capacitor wiring line 908, which is in the same layer as the first wiring line.

[0133]

This structure can ensure a nearly double capacitor of the structure of the storage capacitor shown in Fig. 2A and Fig. 9A without increasing the number of process. Specially, the minuter AM-LCD requires the smaller size of the storage capacitor in order to improve the aperture ratio. In such a case, the structure of Fig. 9B is effective.

[0134]

It is effective to use the structure of this embodiment in AM-LCD shown in Embodiment 3.

[0135]

Embodiment 6

This embodiment shows with reference to Fig. 10 a case in which the first conductive layer that consists of the second wiring line in the CMOS circuit of Fig. 1A and in the pixel matrix circuit of Fig. 2A is omitted. In Fig. 10A, parts

structured in the same way as Fig. 1A or Fig. 2A are denoted by the same symbols.

[0136]

In the CMOS circuit shown in Fig. 10A, all of second wiring lines 11 to 13 are formed by a tantalum film with a single layer. Compared with the structure of Fig. 1A, it is a structure omitted the first conductive layer and formed the second wiring line by only the second conductive layer. The thickness is 200 to 400 nm. Except tantalum, a conductive film mainly containing an element selected from the group consisting of chromium, titanium, tungsten, molybdenum, and silicon, or an alloy film or silicide film containing the above elements in combination may of course be used.

[0137]

With this structure, the power supplying portion (the portion denoted by the cladding structure in Fig. 1A) of the second wiring line has the third conductive layer 14a clad by the second conductive layer 14b. Undesirably, this structure might allow aluminum or copper that is an element constituting the third conductive layer 14a to diffuse into a second insulating layer 106. Therefore a silicon nitride film is formed on the surface of the second insulating layer 106 to prevent diffusion of aluminum or copper effectively.

[0138]

The structure of this embodiment may also be applied to a pixel matrix circuit. The pixel matrix circuit in Fig. 10B uses a second conductive layer (a single layer of tantalum

film in this embodiment) for a second wiring line (a gate wiring line) 16 and 17 and a capacitor wiring line and employs the structure cladding a third conductive layer 15a with a second conductive layer 15b for a part of the gate wiring line that is required to reduce wiring line resistance.

[0139]

Needless to say, the circuits shown in Fig. 10A and Fig. 10B are both formed on the same substrate at the same time.

[0140]

The structure of this embodiment can be realized only by omitting a process of forming the first conductive layer in the manufacturing process shown in Embodiment 1 and Embodiment 2. It can also be applied to the AM-LCD of Embodiment 3 and can be combined with the structure shown in Embodiment 4 and 5.

[0141]

Embodiment 7

This embodiment shows with reference to Fig. 11 a case in which the gate electrode portion of the TFT is a cladding structure in the CMOS circuit of Fig. 1A and in the pixel matrix circuit of Fig. 2A. In Fig. 11A, parts structured in the same way as Fig. 1A or Fig. 2A are denoted by the same symbols.

[0142]

In the CMOS circuit shown in Fig. 11A, it is a cladding structure that the gate electrode 21 of the TFT wraps a third conductive layer 21c with a first conductive layer 21a and

a second conductive layer 21b. The length of a channel formation region 22 corresponds to the width of a line of a third conductive layer 21c.

[0143]

The LDD region 23 can be substantially divided into two regions. On the one side it overlaps a gate electrode 21, which is a portion of the second wiring line, and on the other side does not overlap the gate electrode 21. In this embodiment, the GOLD structure is realized only with a gate electrode, which is a portion of the second wiring line. Provided the LDD region not overlapped by a gate electrode outside of the LDD region overlapped by a gate electrode, OFF current can be made much smaller.

[0144]

Similarly, in the pixel matrix circuit shown in Fig. 11B, the pixel TFT adopts the cladding structure which both gate electrodes 24 and 25 wrap third conductive layers 24c and 25c with first conductive layers 24a and 25a and second conductive layers 24b and 25b. The length of channel formation regions 26 and 27 correspond to the width of lines of third conductive layers 24c and 25c. Both the LDD regions 28 and 29 can be substantially divided into two regions in the same way as the LDD region 23.

[0145]

In the case of the structures shown in "Embodiment Mode 1" and "Embodiment Mode 2", while the GOLD structure is realized by adding a gate voltage to the first wiring lines

(subordinate gate wiring lines) in the CMOS circuit, the LDD structure is adopted to reduce OFF current in the pixel matrix circuit. But since this is to limit increase in OFF current which cannot be attained by the GOLD structure, the advantage of the GOLD structure which prevents degradation of ON current can not be obtained.

[0146]

In this embodiment, however, even the pixel matrix circuit is realized the NTFT with the GOLD structure, and obtains more excellent reliability. The very reason for the pixel TFT with the GOLD structure is to provide the LDD region not overlapped by a gate electrode outside of the LDD region overlapped by a gate electrode.

[0147]

Here, a description is given with reference to Fig. 12 in the manufacturing process to realize the structure of this embodiment. Since it is fundamentally same as the process described in Embodiment 1, the new symbols are used only when necessary.

[0148]

First, a third conductive layer 308 is formed according to the process of Embodiment 1. In the case of this embodiment, a third conductive layer 31 on the NTFT at the same time as forming the third conductive layer 308. A resist mask 32 is formed, and then the phosphorus doping step is conducted. The doping condition may be referred to the process of Fig. 3B in Embodiment 1. Through this step, the low concentration

impurity regions 33 and 34 are formed and the channel formation region 35 is defined. (Fig. 12A)

[0149]

After the resist mask 32 is removed, second conductive layers 36 and 37 are formed. Through this step, a main gate wiring line of NTFT 38 is formed. (Fig. 12B)

[0150]

Resist masks 315 to 318 are formed, and then the boron doping step is conducted. The doping condition may be referred to the step of Fig. 3C in Embodiment 1. Thus, after the phosphorus doping step and the boron doping step are conducted, the impurity element doped in the same way as Embodiment 1 is activated to obtain the result of Fig. 12C.

[0151]

After the resist masks 315 to 318 are removed, the back side exposure method is used to form resist masks 324 to 327, and the phosphorus doping step is then conducted under the same doping conditions as the step of Fig. 3D in Embodiment 1.

[0152]

Through this step, a source region 39, a drain region 40 and the low concentration impurity region (the LDD region) 41 of the NTFT are formed. (Fig. 12D)

[0153]

In this step, the length of the portion where the gate electrode 38 overlaps the LDD region 41 is set to 0.1 to 3.5 μm (typically 0.1 to 0.5 μm , preferably 0.1 to 0.3 μm) whereas

the length of the portion where the gate electrode 38 does not overlap it is set to 0.5 to 3.5 μm (typically 1.5 to 2.5 μm).

[0154]

And through the same step as Embodiment 1, a CMOS circuit with such a structure as shown in Fig. 11A is completed by forming a first interlayer insulating layer 108, source wiring lines 109 and 110 and a drain wiring line 111.

[0155]

The description in this embodiment takes as a case of the manufacturing step of a CMOS circuit, but in the case of a pixel matrix circuit the structure of Fig. 11B may be obtained through the similar manufacturing step. Therefore, the description here is omitted.

[0156]

The structure of this embodiment can also be applied to the AM-LCD of Embodiment 3 and can be freely combined with the structure shown in Embodiments 4 to 6.

[0157]

Embodiment 8

In the step of Fig. 3D in Embodiment 1, it is effective that after the back side exposure method is used to form resist masks 324 to 327, a second insulating layer 306 is etched to remove and the exposed active layer is doped phosphorus.

[0158]

This method lowers the acceleration voltage in doping phosphorus to 100 keV, and the burden of the doping device

is lightened. The throughput is greatly improved. This is in the same way as the step shown in Fig. 4D in Embodiment 2.

[0159]

The structure of this embodiment can also be applied to the AM-LCD of Embodiment 3 and can be freely combined with the structure shown in Embodiments 4 to 7.

[0160]

Embodiment 9

This embodiment gives a description on the structure for reducing OFF current of NTFT in a CMOS circuit used in a driver circuit.

[0161]

In Fig. 13, the LDD region 51 can be substantially divided into two portions, which one overlaps and another does not overlap a first wiring line 102a. Therefore, in adding a gate voltage to the first wiring line 102a, the structure of the NTFT of Fig. 13 has the LDD region not overlapped by a gate electrode outside of the LDD region overlapped by a gate electrode.

[0162]

As described in Embodiment 8, this structure has an effect that degradation of ON current, which is the advantage of the GOLD structure, is prevented, and obtains electrical characteristics that increase of OFF current, which is the defect of the GOLD structure, is controlled. Accordingly, a CMOS circuit with very high reliability can be realized.

[0163]

Here, an example of a CMOS circuit is described but the structure of this embodiment may be applied to a pixel matrix circuit.

[0164]

To realize the structure of this embodiment, the back side exposure method may not be used in the step shown in Fig. 3D in Embodiment 1. That is, the structure of this embodiment can be obtained by doping phosphorus after providing the wider resist masks than the first wiring line by usual mask alignment.

[0165]

The length of the LDD region (the length of portions that overlapped and not overlapped by a gate electrode) may be referred to the range shown in Embodiment 8.

[0166]

The structure of this embodiment can also be applied to the AM-LCD of Embodiment 3 and can be freely combined with the structure shown in Embodiments 4 to 7.

[0167]

Embodiment 10

This embodiment describes a case in which other methods than thermal crystallization is used to form the active layer shown in Embodiment 1 or 2

[0168]

Specifically, a case is described in which the crystalline semiconductor film to use as an active layer is formed by the thermal crystallization method using the catalytic

element. In the case used the catalytic element, it is desirable to use the technique disclosed in Japanese Patent Application Laid-open No. Hei 7-130652 (corresponding to US. Patent Application No. 08/329,644 or US. Patent Application No. 08/430,623) and Japanese Patent Application Laid-open No. Hei 8-78329. Specially, it is preferable to use nickel as the catalytic element.

[0169]

The structure of this embodiment can be combined freely with all of the structures of Embodiments 1 through 9.

[0170]

Embodiment 11

This embodiment describes a case, as a method of forming an active layer, in which the thermal crystallization method shown in Embodiment 10 is used and the catalytic element used in crystallization is removed from the crystalline semiconductor film. To remove the catalytic element, this embodiment employs a technique disclosed in Japanese Patent Application Laid-open No. Hei 10-135468 (corresponding to US. Patent Application No. 08/951,193) or Japanese Patent Application Laid-open No. Hei 10-135469 (corresponding to US. Patent Application No. 08/951,819).

[0171]

The technique described in the publication is to remove a catalytic element used in crystallization of an amorphous semiconductor film by utilizing gettering effect of halogen after crystallization. With this technique, the concentration

of the catalytic element in the crystalline semiconductor film can be reduced to 1×10^{17} atoms/cm³ or less, preferably to 1×10^{16} atoms/cm³.

[0172]

The structure of this embodiment can be combined freely with all of the structures of Embodiments 1 through 10.

[0173]

Embodiment 12

This embodiment describes a case, as a method of forming an active layer, in which the thermal crystallization method shown in Embodiment 10 is used and the catalytic element used in crystallization is removed from the crystalline semiconductor film. To remove the catalytic element, this embodiment employs a technique disclosed in Japanese Patent Application Laid-open No. Hei 10-270363 (corresponding to US. Patent Application No. 09/050,182).

[0174]

The technique described in the publication is to remove a catalytic element used in crystallization by utilizing the gettering effect of phosphorus after crystallization. With this technique, the concentration of the catalytic element in the crystalline semiconductor film can be reduced to 1×10^{17} atoms/cm³ or less, preferably to 1×10^{16} atoms/cm³.

[0175]

The structure of this embodiment can be combined freely with all of the structures of Embodiments 1 through 10.

[0176]

Embodiment 13

This embodiment describes another mode of the gettering step by phosphorus which is shown in Embodiment 12. The basis of the step matches Fig. 1 and hence differences are picked out and explained.

[0177]

First, the state of Fig. 3D is obtained by following the process of Embodiment 1. Fig. 14A shows a state in which the resist masks 324 to 327 are removed from the state of Fig. 3D. A semiconductor layer to be an active layer of TFT is formed by using a technique of the thermal crystallization shown in Embodiment 10.

[0178]

At this point, the source region 328 of the NTFT and the drain region 329 thereof, and the drain region 331 of the PTFT and the source region 332 thereof contain phosphorus in a concentration of 1×10^{19} to 1×10^{21} atoms/cm³ (preferably 5×10^{20} atoms/cm³).

[0179]

In this state, a heat treatment step is conducted in a nitrogen atmosphere at 500 to 800°C for 1 to 24 hours, for example, at 600°C for 12 hours, in this embodiment. Through the step, the impurity elements given n type and p type and used in doping are activated. Also, the catalytic element (nickel in this embodiment) remained after the crystallization step moves in the direction of the arrow and is gettered (trapped) in the source regions and drain regions mentioned above owing

to the action of phosphorus contained in the regions. As a result, the nickel concentration in the channel formation region can be reduced to 1×10^{17} atoms/cm³ or less.

[0180]

Once the step of Fig. 14B is completed, subsequent steps are conducted in accordance with the steps of Embodiment 1 to complete the CMOS circuit shown in Fig. 3E. Needless to say, similar steps are taken in the pixel matrix circuit.

[0181]

The structure of this embodiment can be combined freely with all of the structures of Embodiments 1 through 10.

[0182]

Embodiment 14

The TFT structure of the present invention can be applied not only to electro-optical devices such as AM-LCDs but to semiconductor circuits of every kind. It may be applied to microprocessors such as RISC processors and ASIC processors, to signal processing circuits such as D/A converters, and to high frequency circuits for portable equipment (cellular phones including PHS, and mobile computers).

[0183]

It is possible to obtain a semiconductor device having a three-dimensional structure in which an interlayer insulating film is formed on a conventional MOSFET and the present invention is applied thereto to form a semiconductor circuit. The present invention thus is applicable to all of the semiconductor devices that currently employ LSIs. The present invention may be applied

to the SOI structure (a TFT structure using a single crystal semiconductor thin film) such as SIMOX, Smart-Cut (trade name of SOITEC), and ELTRAN (trade name of Canon, Inc.).

[0184]

The semiconductor circuits of this embodiment can be obtained by any structure resulting from combinations of Embodiments 1, 2 and 4 through 13.

[0185]

Embodiment 15

A CMOS circuit and pixel matrix circuit formed by carrying out the present invention can be applied to various electro-optical devices and semiconductor circuits. That is, the present invention is applicable to all of electronic equipment that incorporates those electro-optical devices and semiconductor circuits as components.

[0186]

Given as such electronic equipment are video cameras, digital cameras, projectors, projection TVs, head mounted displays (goggle type displays), automobile navigation systems, personal computers, portable information terminals (mobile computers, cellular phones, electronic books or the like), etc. Examples of those are shown in Fig. 15.

[0187]

Fig. 15A shows a cellular phone, which is composed of a main body 2001, an audio output unit 2002, an audio input unit 2003, a display device 2004, operation switches 2005, and an antenna 2006. The present invention is applicable to

the audio output unit 2002, the audio input unit 2003, the display device 2004, and other signal controlling circuits.

[0188]

Fig. 15B shows a video camera, which is composed of a main body 2101, a display device 2102, an audio input unit 2103, operation switches 2104, a battery 2105, and an image receiving unit 2106. The present invention is applicable to the display device 2102, the audio input unit 2103, and other signal controlling circuits.

[0189]

Fig. 15C shows a mobile computer, which is composed of a main body 2201, a camera unit 2202, an image receiving unit 2203, operation switches 2204, and a display device 2205. The present invention is applicable to the display device 2205 and other signal controlling circuits.

[0190]

Fig. 15D shows a goggle type display, which is composed of a main body 2301, display devices 2302, and arm units 2303. The present invention is applicable to the display devices 2302 and other signal controlling circuits.

[0191]

Fig. 15E shows a rear projector, which is composed of a main body 2401, a light source 2402, a display device 2403, a polarization beam splitter 2404, reflectors 2405 and 2406, and a screen 2407. The present invention is applicable to the display device 2403 and other signal controlling circuits.

[0192]

Fig. 15F shows a front projector, which is composed of a main body 2501, a light source 2502, a display device 2503, an optical system 2504, and a screen 2505. The present invention is applicable to the display device 2502 and other signal controlling circuits.

[0193]

As described above, the application range of the present invention is so wide that it is applicable to electronic equipment of every field. The electronic equipment of this embodiment can be obtained by any structure resulting from combinations of Embodiments 1 through 14.

[0194]

[Effect of the Invention]

The present invention is characterized in that the same NTFT can form both the GOLD structure and the LDD structure and which one is to form is determined by controlling the voltage of a first wiring line provided under an active layer. In other words, the GOLD structure and the LDD structure can be formed on the same substrate without increasing the number of steps or complicating the process.

[0195]

Therefore circuits having optimal functions can be arranged in accordance with the respective specifications required for the circuits, thus greatly improving the performance and reliability of a semiconductor device such as an AM-LCD and electronic equipment that has the AM-LCD as a display.

[BRIEF DESCRIPTION OF THE INVENTION]

[Fig. 1] shows a structure of a CMOS circuit.

[Fig. 2] shows a structure of a pixel matrix circuit.

[Fig. 3] shows a process of manufacturing a CMOS circuit.

[Fig. 4] shows a process of manufacturing a pixel matrix circuit.

[Fig. 5] shows a process of manufacturing a pixel matrix circuit.

[Fig. 6] shows the outside appearance of AM-LCD.

[Fig. 7] shows a block structure of AM-LCD.

[Fig. 8] shows a structure of a CMOS circuit or a pixel matrix circuit.

[Fig. 9] shows a process of manufacturing a pixel matrix circuit (specially a storage capacitor).

[Fig. 10] shows a structure of a CMOS circuit or a pixel matrix circuit.

[Fig. 11] shows a structure of a CMOS circuit or a pixel matrix circuit.

[Fig. 12] shows a process of manufacturing a CMOS circuit.

[Fig. 13] shows a structure of a CMOS circuit.

[Fig. 14] shows a process of manufacturing a CMOS circuit.

[Fig. 15] shows an example of an electric device.

[DESCRIPTION OF A MARK]

101 A substrate
102a, 102b and 102c First wiring lines
103 A first insulating layer
104 and 105 Active layers
106 A second insulating layer
107a, 107b, 107c and 107d Second wiring lines
(107a1, 107b1, 107c1 and 107d1 First conductive layers
107a2, 107b2, 107c2 and 107d2 Second conductive layers
107d3 A third conductive layer)
108 A first interlayer insulating layer
109~111 Third wiring lines
(109, 110 Source wiring lines
111 A drain wiring line)

201 A substrate
202a, 202b and 202c First wiring lines
203 A first insulating layer
204 An active layer
205 A second insulating layer
206a, 206b and 206c Second wiring lines
(206a1, 206b1 and 206c1 First conductive layers
206a2, 206b2 and 206c2 Second conductive layers
206a3 A second conductive layer)
207 A capacitor wiring line
(207a A first conductive layer
207b A second conductive layer)
208 A first interlayer insulating layer
209 A source wiring line
210 A drain wiring line
211 A second interlayer insulating layer
212 Black masks
213 A third interlayer insulating layer
214 A pixel electrode
215 and 216 Channel formation regions

601 A substrate with an insulating surface
602 A pixel matrix circuit
603 A source driver circuit
604 A gate driver circuit
605 A signal processing circuit
606 An FPC
1007 An opposite substrate

701 A pixel matrix circuit
702a and 703a Shift register circuits
702b and 703b Level shifter circuits
702c and 703c Buffer circuits
703d A sampling circuit
704 A precharge circuit

2001 A main body
2002 An audio output unit
2003 An audio input unit
2004 A display device
2005 Operation switches
2006 An antenna

2101 A main body
2102 A display device
2103 An audio input unit
2104 Operation switches
2105 A battery
2106 An image receiving unit

2201 A main body
2202 A camera unit
2203 An image receiving unit
2204 Operation switches
2205 A display device

2301 A main body

2302 Display devices
2303 Arm units

2401 A main body
2402 A light source
2403 A display device
2404 A polarization beam splitter
2405 Reflector
2406 Reflector
2407 A screen

2501 A main body
2502 A light source
2503 A display device
2504 An optical system
2505 A screen

[BRIEF DESCRIPTION OF THE FIGURES]

- [Fig. 2](A) 画素TFT部 --- A pixel TFT portion
 保持容量部 --- A storage capacitor portion
(B) 保持容量部 --- A storage capacitor portion
- [Fig. 3](A) リンの添加工程 --- A phosphorus doping step
(B) ポロンの添加工程 --- A boron doping step
(C) 裏面露光工程、リンの添加工程 --- A backside exposure
 step, A phosphorus doping step
- [Fig. 9](A) 画素TFT部 --- A pixel TFT portion
 保持容量部 --- A storage capacitor portion
(B) 画素TFT部 --- A pixel TFT portion
 保持容量部 --- A storage capacitor portion
- [Fig. 10](B) 画素TFT部 --- A pixel TFT portion
 保持容量部 --- A storage capacitor portion
- [Fig. 11](B) 画素TFT部 --- A pixel TFT portion

保持容量部 --- A storage capacitor portion

- [Fig. 12](A) リンによるゲッタリング工程 --- A gettering step
by phosphorus
- (C) ポロンの添加工程 --- A boron doping step
- (D) 裏面露光工程、リンの添加工程 --- A back side
exposure step, A phosphorus doping step